



Е7-14, Е7-14/1

ИЗМЕРИТЕЛИ ИММИТАНСА

**ТЕХНИЧЕСКОЕ ОПИСАНИЕ
И ИНСТРУКЦИЯ ПО ЭКСПЛУАТАЦИИ**

**(Описание конструкции электрических схем
и устранение неисправностей)**

2.724.013 ТО1

Книга 1

СО Д Е Р Ж А Н И Е

Стр.

1.	Конструкция	3
2.	Описание электрических схем и устранение неисправностей	20
2.1.	Общие указания	20
2.2.	Меры безопасности и защиты прибора	20
2.3.	Перечень контрольно-измерительной и диагностической аппаратуры	21
2.4.	Схема электрическая функциональная аналоговой секции ..	21
2.5.	Схема электрическая принципиальная блока аналогового 3.034.044 ЭЗ	27
2.5.1.	Генератор	27
2.5.2.	Преобразователь ТОК-НАПРЯЖЕНИЕ	28
2.5.3.	Дифференциальный усилитель напряжения	30
2.5.4.	Масштабный усилитель	31
2.5.5.	Интегратор	32
2.5.6.	Источник смещения	37
2.6.	Поиск неисправностей в аналоговой секции прибора	38
2.7.	Схема электрическая функциональная логической секции ..	58
2.8.	Схема электрическая принципиальная цифрового блока 3.031.148 ЭЗ	77
2.8.1.	Микропроцессор	77
2.8.2.	Узел памяти	78
2.8.3.	Дешифратор ввода/вывода, узел управления ключами аналоговой секции, узел обработки прерывания ...	79
2.8.4.	КОП	84
2.8.5.	Узел разбраковки	88
2.8.6.	Блок питания	89
2.9.	Схема электрическая принципиальная блока управления 3.057.480 ЭЗ	90
2.10.	Поиск неисправностей в логической секции прибора	92
3.	Тесты поиска неисправностей	149

П Р И Л О Ж Е Н И Я

Приложение 1.	Таблица режимов по постоянному току	155
Приложение 2.	Намоточные данные трансформатора 4.702.562	156

134291

I. КОНСТРУКЦИЯ

I.1. Измеритель, внешний вид которого показан на рис. I.1 и рис. I.2, выполнен в виде отдельного переносного прибора бесфутлярной конструкции.

Элементы корпуса измерителя (рис. I.3) скрепляются между собой винтами. Передняя и задняя панели крепятся к боковым несущим кронштейнам.

Чтобы вскрыть измеритель, необходимо его распломбировать, отвинтить винты на верхней и нижней крышках корпуса, снять крышки. Затем отвинтить винты крепления боковых стенок, снять стенки.

Конструкция прибора в совокупности с деталями, вложенными в ЗИП, предусматривает возможность встраивания его в шкаф.

I.2. Все блоки и узлы измерителя выполнены с применением печатного монтажа. Параллельно вдоль передней панели прибора закреплен блок управления, включающий в себя дисплей на семисегментных индикаторах, светодиодах и клавиатуру. Аналоговая и цифровая части прибора выполнены на двух печатных платах, закрепленных горизонтальной плоскости на литой раме, придающей прибору необходимую жесткость.

Выпрямители и стабилизаторы источника питания размещены на цифровой плате. Мощные выходные транзисторы стабилизаторов размещены на радиаторе, расположенном на задней панели прибора.

Перечень всех блоков с их условными обозначениями по схеме электрической принципиальной приведен в табл. I.1.

Таблица I.1

Наименование блоков	Условное обозначение по схеме
1. Узел печатный 3.760.454	AP2
2. Блок аналоговый 3.034.440	A2
3. Блок цифровой 3.031.148	A3
4. Блок индикаторов 2.746.127	API (входит в 3.057.480)
5. Блок управления 3.057.480	AI
6. Блок предохранителей 3.668.875	API

РАСПОЛОЖЕНИЕ ОРГАНОВ УПРАВЛЕНИЯ
НА ПЕРЕДНЕЙ ПАНЕЛИ ИЗМЕРИТЕЛЯ

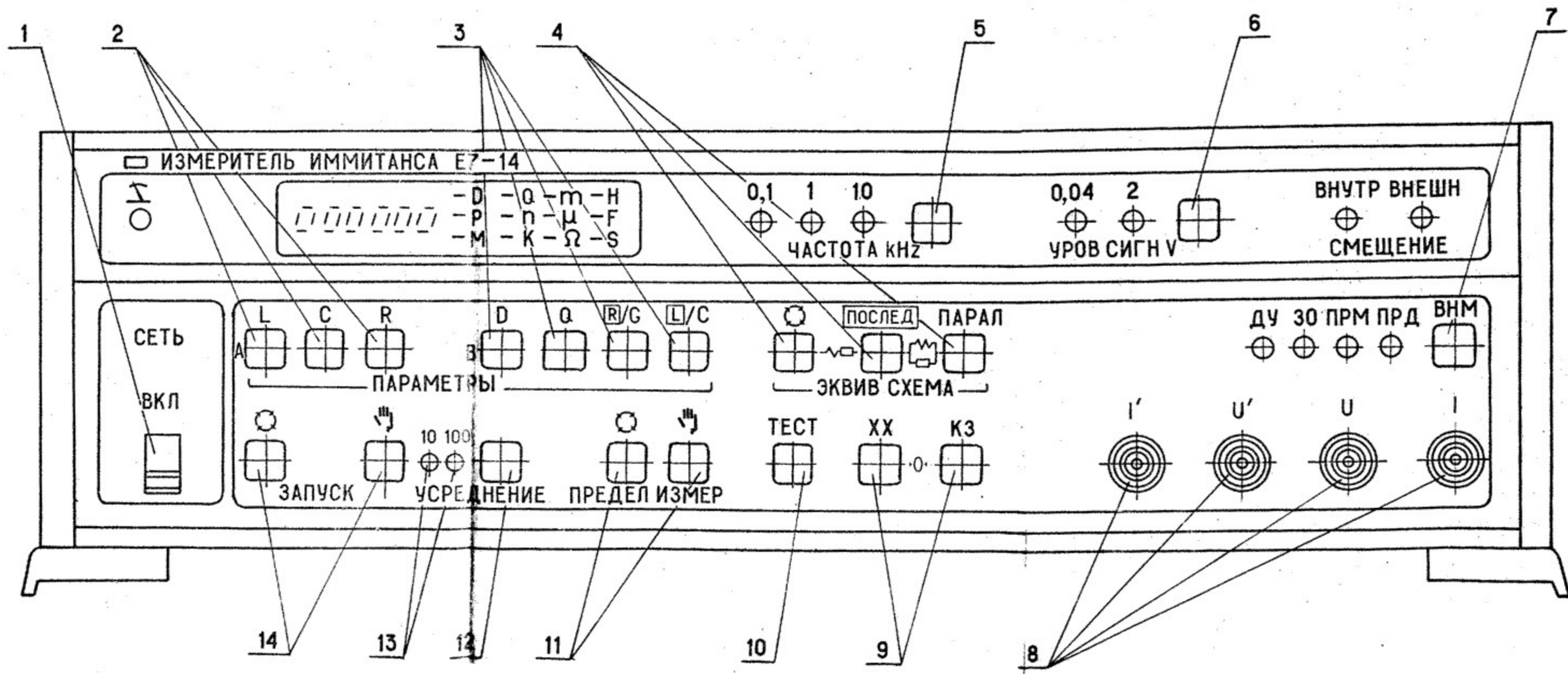


Рис. I. I

РАСПОЛОЖЕНИЕ ОРГАНОВ УПРАВЛЕНИЯ
НА ЗАДНЕЙ ПАНЕЛИ ИЗМЕРИТЕЛЯ

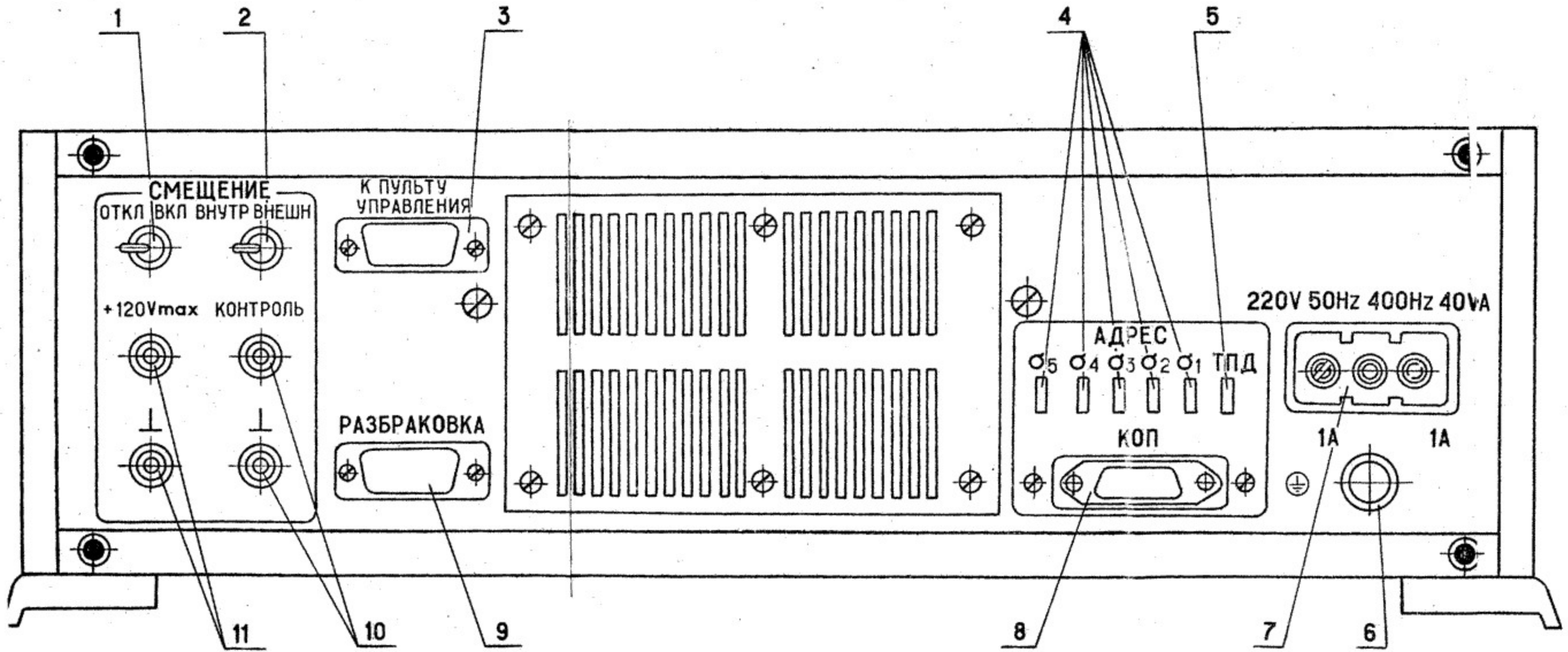
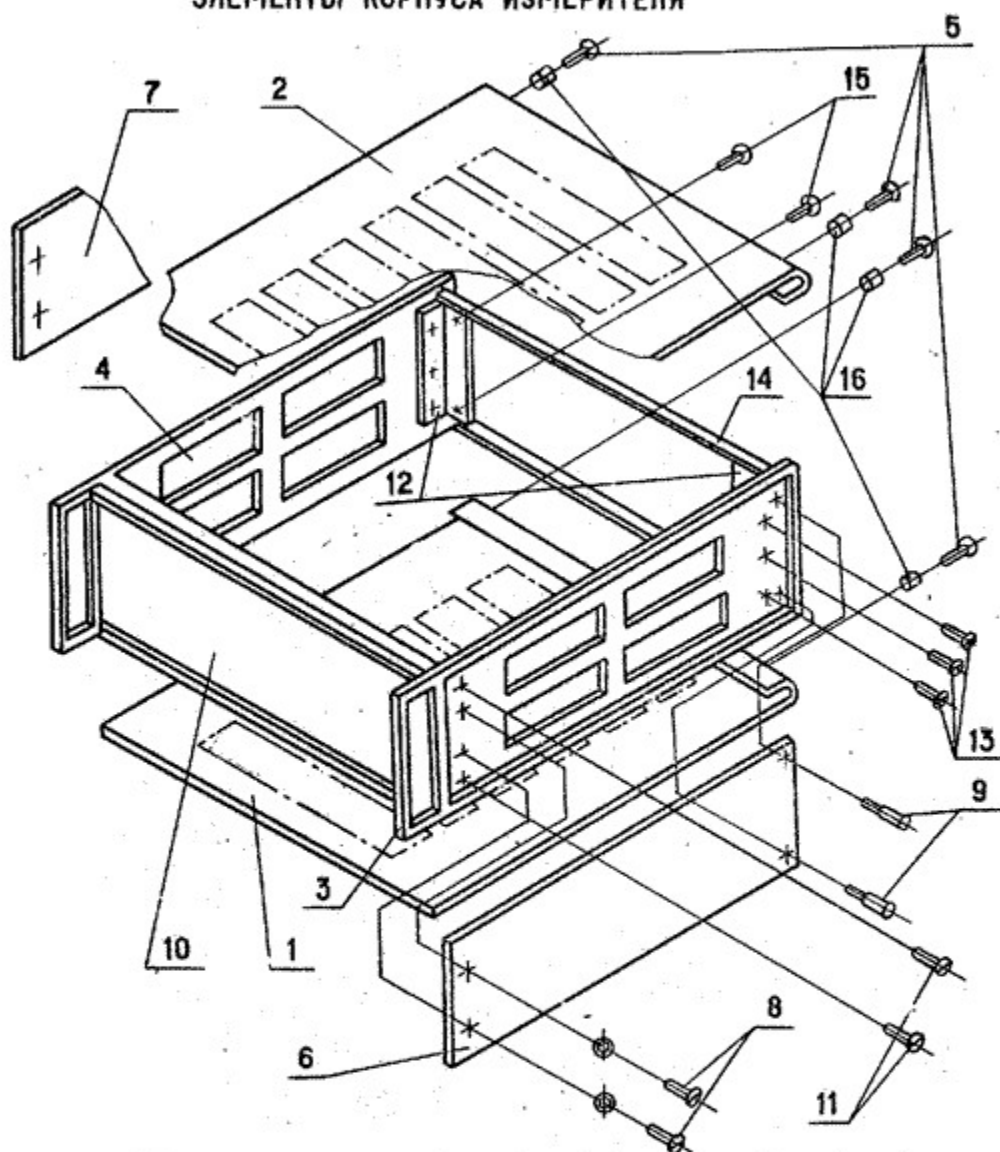


Рис. I.2

ЭЛЕМЕНТЫ КОРПУСА ИЗМЕРИТЕЛЯ



1,2 - верхняя и нижняя крышки; 3,4 - кронштейны; 5 - винты крепления верхней и нижней крышек; 6,7 - боковые стенки; 8,9 - винты крепления боковых стенок; 10 - передняя панель; 11 - винты крепления передней панели; 12 - угольники крепления задней панели; 13 - винты крепления угольников; 14 - задняя панель; 15 - винты крепления задней панели; 16 - пломбы.

Рис. 1.3

Продолжение табл. I. I

Наименование блоков	Условное обозначение по схеме
7. Рама	TI
8. Трансформатор 4.702.562	

Примечание. Порядковые номера табл. I. I соответствуют номерам на рис. I. 4.

Для каждого блока размещение элементов показано в соответствующих приложениях.

Способы снятия блоков и узлов прибора просты и не требуют специальных указаний.

I. 3. Перечень элементов регулировки и настройки, находящихся внутри прибора, приведен в табл. I. 2.

Таблица I. 2

Позиционное обозначение по электрической схеме	Назначение регулируемого элемента	Обозначение контрольной точки	Значение параметра в контрольной точке	Рисунок, позиция
R3 3.03I.148 33	Установка напряжения +5 v	KT45	+5v	
R6 3.03I.148 33	Установка напряжения +15v	KT27	+15v	
R111 3.03I.148 33	Установка нуля смещения ОУТ (I каскад)		0 v	
R116 3.034.044 33	Установка нуля смещения ОУТ (2 каскад)		0 v	
R35 3.034.044 33	Установка нуля смещения масштабного усилителя		0 v	

Расположение узлов измерителя

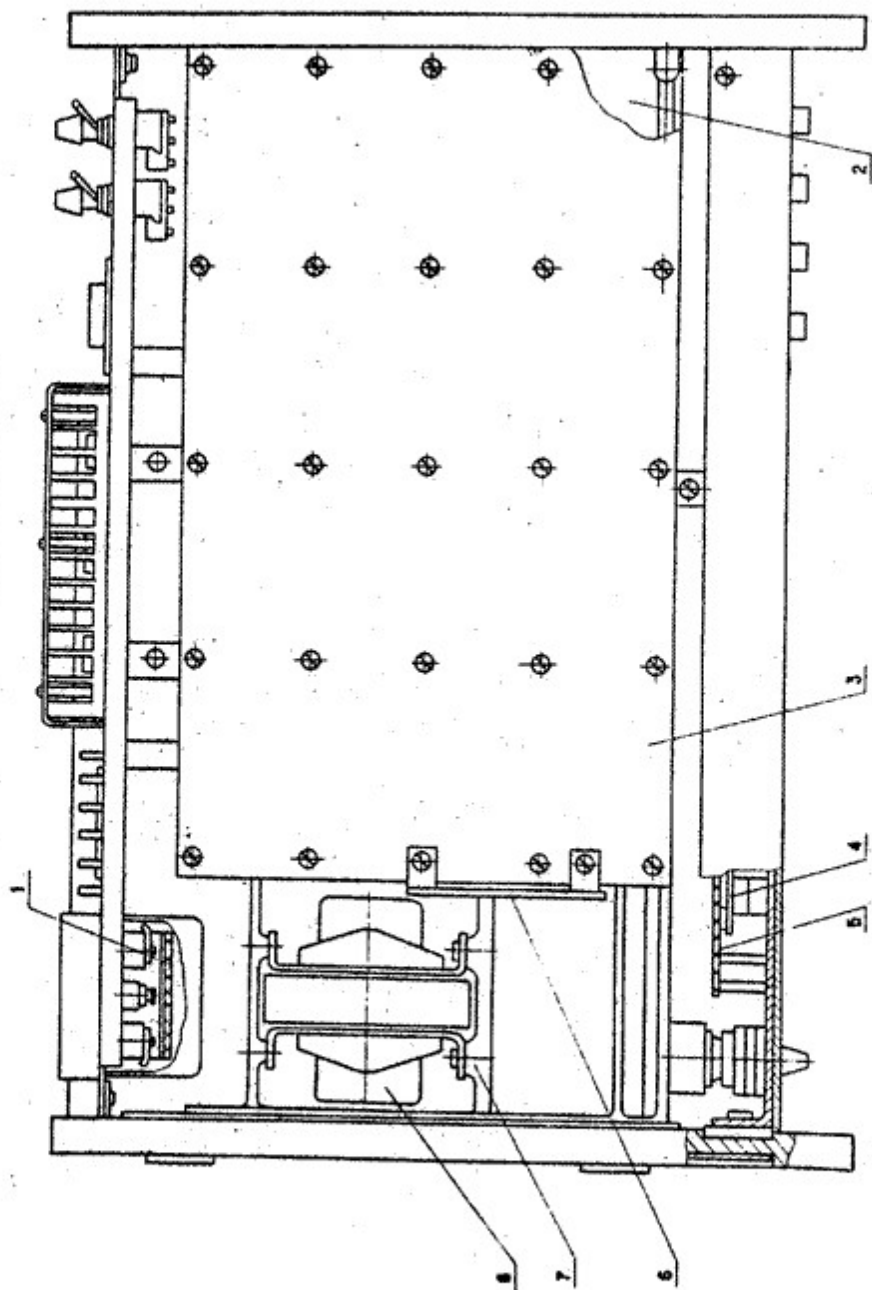


Рис. I.4

Продолжение табл. I.2

Позиционное обозначение по электрической схеме	Назначение регулируемого элемента	Обозначение контрольной точки	Значение параметра в контрольной точке	Рисунок, позиция
RI5 3.034.044	Установка нуля источника напряжения смещения		0 V	
RI4 3.034.044	Установка номинального значения напряжения источника смещения		40,00 V	
C49 3.034.148 33	Установка частоты генератора	D60/12	12800 kHz	

I.4. Сведения, необходимые для заказа составных частей и комплектующих элементов, примененных в приборе, при организации ремонта приведены в табл. I.3.

Таблица I.3

Наименование	Кол. в приборе	Расход на I ремонт, IO приоб., шт.	Код ОКП	Примечание
Датчики, преобразователи				
Резонатор KI-4BH-12.8M-B 3.382.255 TУ	I	I		
Конденсаторы KI0-I7 0.460.107 TУ				
Конденсаторы K50-29 0.460.156 TУ				
Конденсаторы K53-4a 0.464.149 TУ				
KI0-I7-I6-M47-10 pF $\pm 10\%$	I	I		
KI0-I7-I6-M47-270 pF $\pm 10\%$	I	I		
KI0-I7-I6-M47-2200 pF $\pm 10\%$	2	I		

Продолжение табл. I.3

Наименование	Кол. в приборе	Расход на I ремонт, IO приоб., шт.	Код ОКП	Примечание
Конденсаторы K10-17 0.460.107 ТУ				
Конденсаторы K50-29 0.460.156 ТУ				
Конденсаторы K53-4a 0.464.149 ТУ				
Конденсаторы K73-16 0.461.108 ТУ				
K10-17-16-M47-15 pF \pm 5%	I	I		
K10-17-16-MI500-33 pF \pm 5%	2	I		
K10-17-16-MI500-150 pF \pm 5%	I	I		
K10-17-16-MI500-220 pF \pm 5%	I	I		
K10-17-16-MI500-330 pF \pm 5%	3	I		
K10-17-16-MI500-1000 pF \pm 5%	2	I		
K10-17-16-MI500-1500 pF \pm 5%	I	I		
K10-17-16-MI500-3300 pF \pm 5%	4	I		
K10-17-16-H90-0,15 μ F	101	I		
K50-29-16 v-100 μ F	I	I		
K50-29-16 v-2200 μ F	3	I		
K50-29-25 v-47 μ F	I	I		
K50-29-25 v-100 μ F	2	I		
K50-29-25 v-220 μ F	2	I		
K50-29-25 v-1000 μ F	2	I		
K50-29-63 v-100 μ F	2	I		
K50-29-63 v-1000 μ F	I	I		
K50-29-160v-47 μ F	I	I		
K53-4a-6,3 v -4,7 μ F \pm 20%	I	I		
K53-4a-6,3 v -47 μ F \pm 20%	4	I		
K53-4a-16 v-33 μ F \pm 20%	3	I		
K53-4a-20 v -10 μ F \pm 20%	15	I		
K53-4a-20 v -47 μ F \pm 20%	14	I		
K71-7-250 v -0,01 μ F \pm 5%				
0.461.100 ТУ	I	I		
K73-16-63 v -0,1 μ F \pm 5%	2	I		
K73-16-63 v -0,33 μ F \pm 5%	I	I		

Продолжение табл. I.3

Наименование	Кол. в приборе	Расход на I ремонт, IO приоб., шт.	Код ОКП	Примечание
Конденсаторы К73-16 0.46I.108 ТУ				
К73-16-160V-0,1 $\mu F \pm 5\%$	I	I	6I7336I383	
К73-16-160V-0,33 $\mu F \pm 5\%$	I	I	6I7336I383	
К73-16-400 V-0,033 $\mu F \pm 5\%$	2	I		
К73-16-630 V-0,0I $\mu F \pm 5\%$	5	I		
КТ4-25/6/-100 V-6/30 μF -M750-B 0.460.135 ТУ	I	I		
Схемы интегральные				
INT25IA 3.456.000 ТУ	3	I		
Диодная матрица 2Д906А 3.362.105 ТУ	2	I	634II07375	
Импульсная диодная матрица 2ДС523ВР 3.362.143 ТУ	I	I		
2ТС622А 3.456.00I ТУ	2	I	634II32615	
I33ИЦI0 3.088.023 ТУ62	2	I	633III0000	Д
I33ЛП9 3.088.023 ТУ56	2	I		Д
I40УД6А 0.347.004 ТУ4	3	I	633III4755	Д
I40УД7 0.347.004 ТУ5	9	I	633III4775	Д
I40УДI4 0.347.004 ТУII	I	I	633III4695	Д
I40УД20А 0.347.004 ТУI4	7	I	633III4725	Д
I42ЕНIБ 0.347.098 ТУI	I	I	633III5535	Д
I42ЕН2Б 0.347.098 ТУI	I	I	633III5555	Д
504НТ4В 0.348.003 ТУ	8	I	633II30185	Д
533АГ3 0.347.14I ТУ45	I	I	633II33755	Д
533ИД4 0.347.14I ТУI5	2	I	633II33775	Д
533ИД7 0.347.14I ТУ2	2	I	633II33795	Д
533ИЕ7 0.347.14I ТУ3	3	I	633II33825	Д
533ИРI6 0.347.14I ТУ3	2	I	633II33925	Д
533КПII 0.347.14I ТУ5	I	I	633II33985	Д

Продолжение табл. I.3

Наименование		Кол. в прибо- ре	Расход на I ремонт, IО приоб., шт.	Код ОКП	Приме- чание
533ЛА1	0.347.141 ТУ1	1	I	633II34065	Д
533ЛА3	0.347.141 ТУ1	3	I	633II34105	Д
533ЛА4	0.347.141 ТУ7	1	I	633II34115	Д
533ЛЕ1	0.347.141 ТУ7	1	I	633II34155	Д
533ЛН1	0.347.141 ТУ1	4	I	633II34215	Д
533ЛН2	0.347.141 ТУ14	2	I	633II34225	Д
533ЛН5	0.347.141 ТУ8	1	I	633II34245	Д
533ЛР11	0.347.141 ТУ1	2	I		Д
533СП1	0.347.141 ТУ3	1	I	633II34295	Д
533ТЛ2	0.347.141 ТУ16	4	I	633II34315	Д
533ТМ2	0.347.141 ТУ44	9	I	633II34325	Д
533ТМ8	0.347.141 ТУ11	1	I	633II34335	Д
537РУ2А	0.347.243-02 ТУ	8	I	633II49835	Д
544УД2А	0.347.040 ТУ	9	I	633II36745	Д
559ИП	0.347.192 ТУ1	3	I	633II38405	Д
564ИД1	0.347.064 ТУ11	2	I		Д
564ИЕ10	0.347.064 ТУ9	2	I		Д
564ИЕ15	0.347.064 ТУ17	2	I		Д
564ИР2	0.347.064 ТУ11	4	I		Д
564ИР9	0.347.064 ТУ1	2	I		Д
564ИР11	0.347.064 ТУ15	3	I		Д
564ЛА7	0.347.064 ТУ1	1	I		Д
564ЛА9	0.347.064 ТУ21	2	I		Д
564ЛН2	0.347.064 ТУ2	5	I		Д
564ЛС2	0.347.064 ТУ7	1	I		Д
564ЛУ7	0.347.064 ТУ30	1	I		Д
571ХЛ5А	0.347.155-04 ТУ	3	I	633II53265	
572ПА2А	0.347.182 ТУ2	1	I	633II41095	Д
580ВВ55	0.347.281-02 ТУ	2	I	633II53785	Д
580ВИ53	0.347.281-06 ТУ	1	I	633II54335	Д
580ВМ80	0.347.281-01 ТУ	1	I	633II53625	Д

Продолжение табл. I.3

Наименование	Кол. в приборе	Расход на ремонт, 10 приоб., шт.	Код ОКП	Примечание
580ГФ24 0.347.281-07 ТУ	1	1	6331152585	Д
M556PT7 0.347.237 ТУ7	8	1	6331138155	Д
Устройства защитные				
Вставка плавкая				
ВШ-2 0,25 А 250 в				
0.480.003 ТУ	2	1		
Вставка плавкая				
ВШ-2 1,0 А 250 в				
0.480.003 ТУ	4	1		
Вставка плавкая ВПЗБ-1В 1 А				
250 в 0.481.005 ТУ	2	1		
Устройства индикационные и сигнальные				
Индикатор цифровой ЗЛС324Б1				
0.339.103 ТУ доп.1	10	1	6349556765	
Катушки индуктивности, дроссели				
Дроссель высокочастотный				
ДМ-0,1-100 мн ±5%-В				
0.477.005 ТУ	6	1		
Дроссель высокочастотный				
ДМ-0,2-25 мн ±5%				
0.477.005 ТУ	1	1		
Резисторы P2-67 0.467.563 ТУ				
P2-67-0,125-1,01 ка ±0,01%-I-A-B	2	1		

Продолжение табл. I.3

Наименование	Кол. в приборе	Расход на I ремонт, IO приоб., шт.	Код ОКП	Примечание
Резисторы P2-67 0.467.563 TY				
Резисторы C2-29B 0.467.099 TY				
P2-67-0, I25-2 к Ω $\pm 0,01\%$ -I-A-B	I	I		
P2-67-0, I25-9,09 к Ω $\pm 0,01\%$ -I-A-B	2	I		
P2-67-0, I25-10 к Ω $\pm 0,01\%$ -I-A-B	3	I		
P2-67-0,25-200 Ω $\pm 0,01\%$ -I-A-B	I	I		
C2-29B-0, I25-I M Ω $\pm 0,25\%$ -I,0-A	I	I		Д
C2-29B-0, I25-I,04 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-I,1 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-I,6 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-3,12 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-10 к Ω $\pm 0,05\%$ -0,5-A	2	I		Д
C2-29B-0, I25-10 к Ω $\pm 0,1\%$ -I,0-A	10	I		Д
C2-29B-0, I25-20 к Ω $\pm 0,05\%$ -0,5-A	4	I		Д
C2-29B-0, I25-25,5 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-46,4 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-53,6 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-I07 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-I47 к Ω $\pm 0,1\%$ -I,0-A	2	I		Д
C2-29B-0, I25-I54 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-208 к Ω $\pm 0,1\%$ -I,0-A	2	I		Д
C2-29B-0, I25-255 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-277 к Ω $\pm 0,1\%$ -I,0-A	2	I		Д
C2-29B-0, I25-361 к Ω $\pm 0,1\%$ -I,0-A	2	I		Д
C2-29B-0, I25-673 к Ω $\pm 0,1\%$ -I,0-A	2	I		Д
C2-29B-0, I25-825 к Ω $\pm 0,1\%$ -I,0-A	I	I		Д
C2-29B-0, I25-II0 Ω $\pm 0,25\%$ -I,0-A	I	I		Д
C2-29B-0,25-I,69 M Ω $\pm 0,25\%$ -I,0-A	I	I		Д

Продолжение табл. I.3

Наименование	Кол. в приборе	Расход на I ремонт, IO приб., шт.	Код ОКП	Примечание
Резисторы С2-33 0.467.093 ТУ				
С2-33-0,125-1 Мк $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,125-1 кк $\pm 5\%$ -А-В-В	II	I		Д
С2-33-0,125-1,01 кк $\pm 1\%$ -А-В-В	2	I		Д
С2-33-0,125-1,05 кк $\pm 1\%$ -А-В-В	3	I		Д
С2-33-0,125-1,1 кк $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,125-1,3 кк $\pm 5\%$ -А-В-В	29	I		Д
С2-33-0,125-1,4 кк $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-1,6 кк $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,125-1,69 кк $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-1,8 кк $\pm 5\%$ -А-В-В	2	I		Д
С2-33-0,125-2 кк $\pm 5\%$ -А-В-В	30	I		Д
С2-33-0,125-2,05 кк $\pm 1\%$ -А-В-В	3	I		Д
С2-33-0,125-2,26 кк $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-2,37 кк $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-2,49 кк $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-2,67 кк $\pm 1\%$ -А-В-В	2	I		Д
С2-33-0,125-3 кк $\pm 5\%$ -А-В-В	16	I		Д
С2-33-0,125-3,01 кк $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-3,3 кк $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,125-3,9 кк $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,125-4,7 кк $\pm 5\%$ -А-В-В	3	I		Д
С2-33-0,125-4,64 кк $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-4,75 кк $\pm 1\%$ -А-В-В	2	I		Д
С2-33-0,125-4,87 кк $\pm 1\%$ -А-В-В	5	I		Д
С2-33-0,125-4,99 кк $\pm 1\%$ -А-В-В	3	I		Д
С2-33-0,125-5,1 кк $\pm 5\%$ -А-В-В	4	I		Д
С2-33-0,125-6,19 кк $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-6,2 кк $\pm 5\%$ -А-В-В	16	I		Д
С2-33-0,125-6,49 кк $\pm 1\%$ -А-В-В	I	I		Д

Продолжение табл. I.3

Наименование	Кол. в приборе	Расход на I ремонт, IO приб., шт.	Код ОКП	Примечание
Резисторы С2-33 0.467.093 ТУ				
C2-33-0, I25-7, I5 кО $\pm 1\%$ -А-В-В	I	I		Д
C2-33-0, I25-7,5 кО $\pm 5\%$ -А-В-В	I	I		Д
C2-33-0, I25-7,87 кО $\pm 1\%$ -А-В-В	2	I		Д
C2-33-0, I25-8,2 кО $\pm 5\%$ -А-В-В	I	I		Д
C2-33-0, I25-9,09 кО $\pm 1\%$ -А-В-В	3	I		Д
C2-33-0, I25-10 кО $\pm 5\%$ -А-В-В	57	I		Д
C2-33-0, I25-II кО $\pm 1\%$ -А-В-В	I	I		Д
C2-33-0, I25-II,5 кО $\pm 1\%$ -А-В-В	2	I		Д
C2-33-0, I25-12, I кО $\pm 1\%$ -А-В-В	4	I		Д
C2-33-0, I25-12,7 кО $\pm 1\%$ -А-В-В	I	I		Д
C2-33-0, I25-20 кО $\pm 5\%$ -А-В-В	3	I		Д
C2-33-0, I25-20,5 кО $\pm 1\%$ -А-В-В	3	I		Д
C2-33-0, I25-22 кО $\pm 5\%$ -А-В-В	4	I		Д
C2-33-0, I25-30 кО $\pm 5\%$ -А-В-В	I	I		Д
C2-33-0, I25-30, I кО $\pm 1\%$ -А-В-В	2	I		Д
C2-33-0, I25-33,2 кО $\pm 5\%$ -А-В-В	I	I		Д
C2-33-0, I25-46,4 кО $\pm 1\%$ -А-В-В	3	I		Д
C2-33-0, I25-48,7 кО $\pm 1\%$ -А-В-В	I	I		Д
C2-33-0, I25-100 кО $\pm 1\%$ -А-В-В	I	I		Д
C2-33-0, I25-100 кО $\pm 5\%$ -А-В-В	5	I		Д
C2-33-0, I25-II0 кО $\pm 1\%$ -А-В-В	I	I		Д
C2-33-0, I25-120 кО $\pm 5\%$ -А-В-В	I	I		Д
C2-33-0, I25-147 кО $\pm 1\%$ -А-В-В	I	I		Д
C2-33-0, I25-160 кО $\pm 1\%$ -А-В-В	I	I		Д
C2-33-0, I25-200 кО $\pm 1\%$ -А-В-В	I	I		Д
C2-33-0, I25-300 кО $\pm 5\%$ -А-В-В	2	I		Д
C2-33-0, I25-407 кО $\pm 1\%$ -А-В-В	I	I		Д
C2-33-0, I25-10 Ω $\pm 5\%$ -А-В-В	2	I		Д

Продолжение табл. I.3

Наименование	Кол. в приборе	Расход на ремонт, IO приб., шт.	Код ОКП	Примечание
Резисторы С2-33 0.467.093 ТУ				
С2-33-0,125-15 Ω $\pm 5\%$ -А-В-В	2	I		Д
С2-33-0,125-15,4 Ω $\pm 1\%$ -А-В-В	2	I		Д
С2-33-0,125-24 Ω $\pm 5\%$ -А-В-В	3	I		Д
С2-33-0,125-30 Ω $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,125-51 Ω $\pm 5\%$ -А-В-В	8	I		Д
С2-33-0,125-75 Ω $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,125-100 Ω $\pm 1\%$ -А-В-В	3	I		Д
С2-33-0,125-100 Ω $\pm 5\%$ -А-В-В	34	I		Д
С2-33-0,125-187 Ω $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-200 Ω $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,125-300 Ω $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-300 Ω $\pm 5\%$ -А-В-В	II	I		Д
С2-33-0,125-301 Ω $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,125-330 Ω $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,125-390 Ω $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,125-475 Ω $\pm 1\%$ -А-В-В	2	I		Д
С2-33-0,125-560 Ω $\pm 5\%$ -А-В-В	4	I		Д
С2-33-0,125-820 Ω $\pm 5\%$ -А-В-В	I7	I		Д
С2-33-0,125-825 Ω $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,25-17,8 к Ω $\pm 1\%$ -А-В-В	I	I		Д
С2-33-0,25-1,8 Ω $\pm 5\%$ -А-В-В	I	I		Д
С2-33-0,5-56 Ω $\pm 5\%$ -А-В-В	I2	I		Д
С5-5В-2 W 10 к Ω $\pm 0,1\%$ 0.467.505 ТУ	I	I		
С5-16МВ-2 W 0,33 Ω $\pm 1\%$ 0.467.513 ТУ	I	I		
СП4-1В-0,25 W 150 к Ω -А 0.468.045 ТУ	2	I		Д
СП4-1В-0,25 W 150 к Ω -А 0.468.045 ТУ	I	I		Д

Продолжение табл. I.3

Наименование	Кол. в приборе	Расход на I ремонт, IO приоб., шт.	Код ОКП	Примечание
Резисторы СП5-16ВА 0.468.519 ТУ				
СП5-16ВА-0,25 W 1,5 к Ω \pm 10%	2	I	633II33825	
СП5-16ВА-0,25 W 22 к Ω \pm 5%	2	I		
Устройства коммутационные				
Тумблер МГДЗ В 0.360.016 ТУ	2	I		
Тумблер ТЗ 0.360.007 ТУ	1	I		
Диоды				
Диод 2Д212А 3.362.006 ТУ	8	I	634II05015	Д
Диод 2Д522Б 3.362.029-01 ТУ	47	I	634II08655	Д
Стабилитрон 2С147А 3.362.805 ТУ	1	I	634II09265	
Стабилитрон 2С182Ж 3.362.825 ТУ	2	I	634II09695	
Стабилитрон 2С191Т 3.362.125 ТУ	1	I		
Стабилитрон 2С210Ж 3.362.825 ТУ	3	I	634II09715	Д
Стабилитрон 2С468А 3.362.819 ТУ	2	I		Д
Индикатор единичный 3Л341Б				
0.339.189 ТУ	27	I	6349555485	
Транзисторы				
2П307А 3.365.008 ТУ	6	I	634II40265	Д
2Т201Б 0.336.046 ТУ	4	I	634II24145	Д
2И208К 3.365.035 ТУ	34	I	634II24345	Д
2Т312Б 3.365.143 ТУ	8	I	634II26165	Д
2Т313Б 0.336.049 ТУ	9	I	634II27605	Д
2Т363Б 0.336.008 ТУ	3	I	634II29835	
2Т825В 0.339.054 ТУ	1	I	634II48525	Д
2Т827В 0.339.119 ТУ	2	I	634II35815	Д
2Т830А 0.339.139 ТУ	9	I	634II35895	Д
2Т830Г 0.339.139 ТУ	3	I	634II36355	Д

Продолжение табл. I.3

Наименование	Кол. в приборе	Расход на I ремонт, IO прибор., шт.	Код ОКП	Примечание
2Т831А 0.339.140 ТУ	2	I	6341135905	Д
2Т831Г 0.339.139 ТУ	3	I	6341136385	Д
Соединители контактные				
Зажим контактный ЗК1чВ 4.835.001-08	4	I		
Розетка РГ1Н-1-3-В 0.364.002 ТУ	3	I		
Розетка РП15-15ГВФ-В 0.364.160 ТУ	2	I		
Розетка РПМ7-24Г-ПБ-В 0.364.043 ТУ	I	I		
Вилка РП2Н-1-18-В 0.364.002 ТУ	3	I		

2. ОПИСАНИЕ ЭЛЕКТРИЧЕСКИХ СХЕМ И УСТРАНЕНИЕ НЕИСПРАВНОСТЕЙ

2.1. Общие указания

2.1.1. Раздел предназначен для изучения работы прибора по электрическим функциональным и принципиальным схемам при ознакомлении с прибором и проведения ремонтных работ.

2.1.2. Ремонт прибора должен производиться в ремонтных органах специалистом с образованием не ниже среднетехнического. Средняя норма на ремонт 180 min.

2.1.3. При проведении ремонта после замены элементов необходимо промыть места паяк спиртобензиновой смесью из расчета 0,1 ml на одну пайку.

2.1.4. В силу большого объема программного обеспечения прибора информация о содержимом ППЗУ не приводится. При необходимости замены вышедшей из строя микросхемы ППЗУ, исправная микросхема или комплект перфолент с содержимым ППЗУ может быть поставлена потребителю заводом-изготовителем прибора за отдельную плату. При запросе необходимо указать заводской номер прибора, год его выпуска, номер ППЗУ согласно принципиальной схеме 3.031.148 ЭЗ.

2.2. Меры безопасности и защиты прибора

2.2.1. При проведении ремонта прибора следует соблюдать меры безопасности, указанные в разделе 7 (2.724.013 Т0).

Замена элементов должна проводиться только в обесточенном приборе при отключенном сетевом шнуре.

2.2.2. Для защиты от статического электричества необходимо применять заземляющий браслет с сопротивлением в цепи заземления 1 Мо.

2.2.3. При пайке элементов следует применять теплоотводящие приспособления. Выводы элементов следует изгибать в соответствии с рекомендациями по применению.

2.3. Перечень контрольно-измерительной и диагностической аппаратуры

2.3.1. Перечень контрольно-измерительной и диагностической аппаратуры приведен в табл.2.1.

Таблица 2.1

Наименование	Тип, маркировка	Код ОКП	Используемые параметры	Примечание
Набор мер сопротивления образцовых	И2-1		1, 10, 100 Ω 1, 10, 100 $k\Omega$ 1 $M\Omega$ $\delta=0,03\%$	
Мер емкости	P597		100, 200, 400 pF $I_{нФ}$ $\delta=0,03\%$ $D < 3 \cdot 10^{-4}$	
Вольтметр цифровой	B7-34A		15 v, 2%	
Частотомер	ЧЗ-47A		0,1, 1, 10 kHz $\delta=0,003\%$	
Осциллограф	С1-65A		15 v, 6%	
Анализатор сигнатурный	817			

Примечания: 1. Вместо указанных в табл.2.1 средств измерения разрешается применять другие измерительные приборы, обеспечивающие измерение соответствующих параметров с требуемой точностью.

2. Средства измерения должны быть поверены в органах государственной или ведомственной метрологической службы в соответствии с ГОСТ 8.513-84.

2.4. Схема электрическая функциональная аналоговой секции

2.4.1. Аналоговая секция прибора (рис.2.1) состоит из следующих функциональных узлов:

генератора измерительного сигнала;

преобразователя $Y_x \rightarrow \dot{U}_T / \dot{U}_H$ включающего в себя:

СХЕМА ЭЛЕКТРИЧЕСКАЯ ФУНКЦИОНАЛЬНАЯ АНАЛОГОВОЙ СЕКЦИИ ПРИБОРА

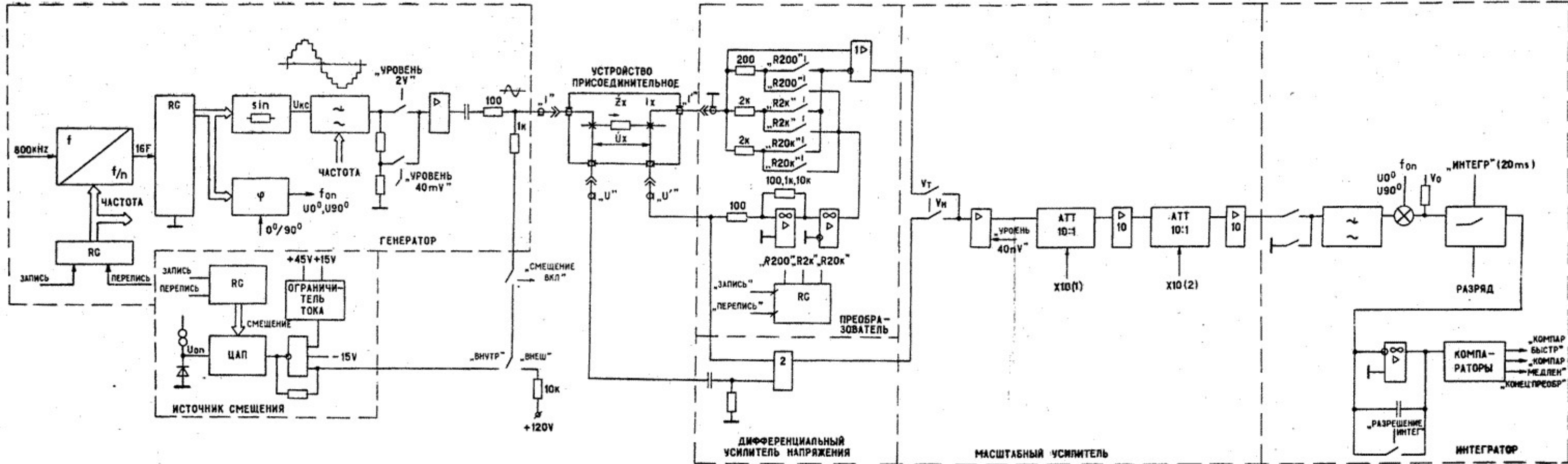


РИС. 2.1

преобразователь ТОК-НАПРЯЖЕНИЕ и дифференциальный усилитель напряжения;

логометра, включающего в себя масштабный усилитель и интегратор источника напряжения смещения.

Конструктивно все функциональные узлы аналоговой секции прибора расположены на плате блока аналогового 3.034.044 ЭЗ.

2.4.2. Генератор (квазисинусоидальный) измерительного сигнала состоит из делителя частоты с переменным коэффициентом деления (ДПКД), регистра-формирователя управляющей последовательности, коммутатора фаз, матрицы резисторов, фильтра НЧ и выходного каскада.

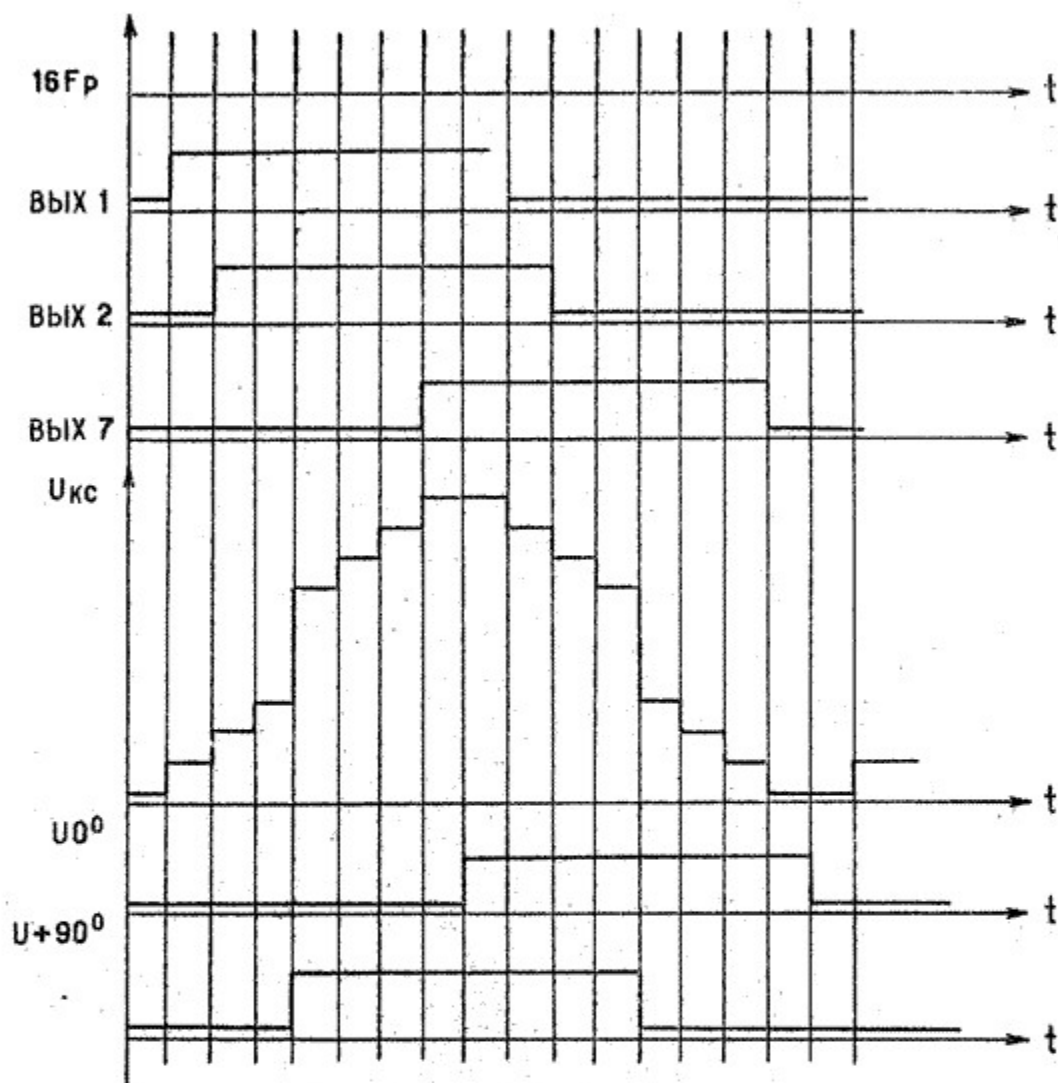
На вход генератора поступают тактовые импульсы частоты 800 кГц. С выхода ДПКД на тактовый вход регистра-формирователя поступают импульсы частоты $16 F_p$, где F_p - рабочая частота. Временная диаграмма работы генератора приведена на рис.2.2.

Напряжение квазисинуса теоретически содержит гармоники не ниже 15 и фильтруется двузвеньем ФНЧ для получения практически чистого сигнала рабочей частоты.

Коэффициент деления ДПКД и частота среза ФНЧ изменяются под управлением команд логической секции, пересылаемых в регистр последовательного ввода при смене частоты. С выхода ФНЧ через усилитель мощности и сопротивление генератора 100 Ω измерительный сигнал рабочей частоты по кабелю I поступает на объект измерения. Уровень измерительного сигнала может изменяться с 2 В на 40 мВ при включении делителя напряжения, расположенного между ФНЧ и выходным каскадом. С выхода коммутатора фазы сигнал поступает на опорный вход синфазного детектора.

2.4.3. Преобразователь ТОК-НАПРЯЖЕНИЕ представляет собой операционный усилитель, охваченный отрицательной обратной связью через образцовый резистор. Он преобразует ток, протекающий через объект измерения, в пропорциональное ему напряжение. Особенностью преобразователя является выполнение входного каскада в виде усилителя с низким входным сопротивлением и с параллельным высокочастотным каналом, что обеспечивает устойчивость преобразователя при любом иммитансе объекта. Переключение резисторов обратной связи пре-

Временная диаграмма работы генератора



Вых.1 - вых.7 - выходы регистра;

$U_{кc}$ - напряжение квазисинуса на входе ФНЧ;

U_{0° , U_{+90° - выходные напряжения фазовращателя.

Рис.2.2

образователя обеспечивает 4 средних (с 3 по 6) предела измерения. Напряжение, пропорциональное току через объект, снимается непосредственно с зажимов резистора обратной связи с помощью дифференциального повторителя, что позволяет повысить точность измерения.

2.4.4. Дифференциальный усилитель напряжения, имеющий постоянный коэффициент усиления ($K=2$), преобразует "взвешенное" напряжение на объекте в напряжение V_H , отсчет которого осуществляется от уровня "земли". Это позволяет избежать ошибки измерения, вызванной отклонением от нуля потенциала измерительных зажимов I' , U' из-за недостаточно большого коэффициента усилителя преобразователя ТОК-НАПРЯЖЕНИЕ, особенно на частоте 10 кГц.

2.4.5. Масштабный усилитель логометра - двухкаскадный, с управляемым при измерении компонент числителя V_X в зависимости от предела измерения коэффициентом усиления. Через коммутатор сигналов на него поступает напряжение с преобразователя V_T и напряжение с дифференциального усилителя V_H . Усиление изменяется с 1 до 10V в каждом каскаде (X10(1), X10(2)), так что масштабный усилитель обеспечивает 4 крайних предела измерения (1, 2, 7, 8).

На входе масштабного усилителя находится каскад усиления, управляемый командой смены уровня сигнала. На его выходе поддерживается примерно одинаковая амплитуда сигнала как для большого (2V), так и для малого (40 mV) уровня сигнала на выходе генератора.

2.4.6. Интегратор с синхронным детектором на входе выделяет из векторов V_X и V_O синфазные и квадратурные относительно вспомогательного опорного напряжения, компоненты a, b, c, d и преобразует их с помощью счетчика (расположенного в цифровой секция) в цифровую форму.

Собственно выделение составляющих векторов V_X и V_O производится квазисинусоидальным синхронным детектором.

Преобразование составляющих a, b, c, d в цифровую форму осуществляется интегрирующим АЦП с совмещенным временем заряда-разряда. На входе узла находится ключ, замыкающий на корпус вход синхронного детектора. Эта операция проводится при измерении "нуля"

синхронного детектора и интегратора, что позволяет исключить ошибку преобразования за счет смещения нуля и дрейфа операционного усилителя интегратора.

2.4.7. Процесс измерения происходит следующим образом:

распределение сопротивлений обратной связи и усиления масштабного усилителя по пределам измерения приведено в табл.2.2.

Таблица 2.2

Предел	R	Усиление
I	20 к Ω	100
2	20 к Ω	10
3	20 к Ω	1
4	2 к Ω	1
5	200 Ω	1
6	200 Ω	1
7	200 Ω	10
8	200 Ω	100

Частота сигнала, уровень сигнала и величина сопротивления обратной связи устанавливаются до начала измерения по командам либо с передней панели прибора, либо через КОП. Процесс измерения начинается с установки единичного усиления масштабного усилителя и установки положения **ЗНАМЕНАТЕЛЬ** коммутатора сигналов и фазы опорного напряжения синхронного детектора (СД) +90 градусов и подачи команды **НУЛЬ** синхронного детектора.

Первым циклом интегрирования будет цикл измерения собственно нуля СД и интегратора (**Z**). После установки этих управляющих сигналов отсчитывается время задержки порядка 5 мс на время переходного процесса в ФНЧ узла интегратора.

Проводится установка времени интегрирования 20 мс и подается разрешение интегрирования.

Управление циклом интегрирования заканчивается при выдаче компаратором сигнала **КОНЕЦ ПРЕОБРАЗОВАНИЯ**, после чего данные со счет-

чика пересылаются в ОЗУ логической секции прибора. Проводится снятие сигнала НУЛЬ и подключение сигнала V ко входу ФНЧ синхронного детектора.

Отсчитывается время задержки 10 мс на переходный процесс в этом узле и проводится интегрирование компоненты d . Устанавливается фаза опорного сигнала СД 0 градусов и проводится интегрирование компоненты С.

Проводятся переключение коммутатора на V_x , устанавливается усиление масштабного усилителя I, 10 или 100 V в соответствии с пределом измерения.

Отсчитывается время задержки 40 мс на переходный процесс в масштабном усилителе и ФНЧ синхронного детектора. Проводится интегрирование компоненты а. Переключается фаза опорного сигнала СД на +90 град. Проводится интегрирование компоненты б.

Во время интегрирования каждой последующей компоненты и времени задержки в логической секции прибора производятся расчеты по предыдущим компонентам. Это позволяет сократить общее время измерения.

Временная диаграмма процесса измерения приведена на рис.2.3.

2.5. Схема электрическая принципиальная блока аналогового 3.034.044 33

2.5.1. Генератор

2.5.1.1. Делитель частоты 800 кГц выполнен на микросхеме D49.

На микросхеме D43.1 выполнен регистр последовательного ввода данных о частоте сигнала, а на D44 - вторая ступень памяти данных.

В роли регистра-формирователя управляющей последовательности выступают двоичный счетчик D46 и регистр сдвига D48. В момент, когда выход счетчика меняет состояние с 0 на 1, регистр начинает заполняться "единицами", а когда выход счетчика меняется с 1 на 0 - регистр заполняется "нулями", на выходах регистра D48 формируются сигналы рабочей частоты со скважностью 2 (МЕАНЦР), сдвинутые во времени на $1/16$ периода. Эти выходы соединены со входами резистивного сумматора, выход которого подключен ко входу операционного усилителя D53 с элементами ФНЧ (R218, C102, C103).

Временная диаграмма процесса измерения

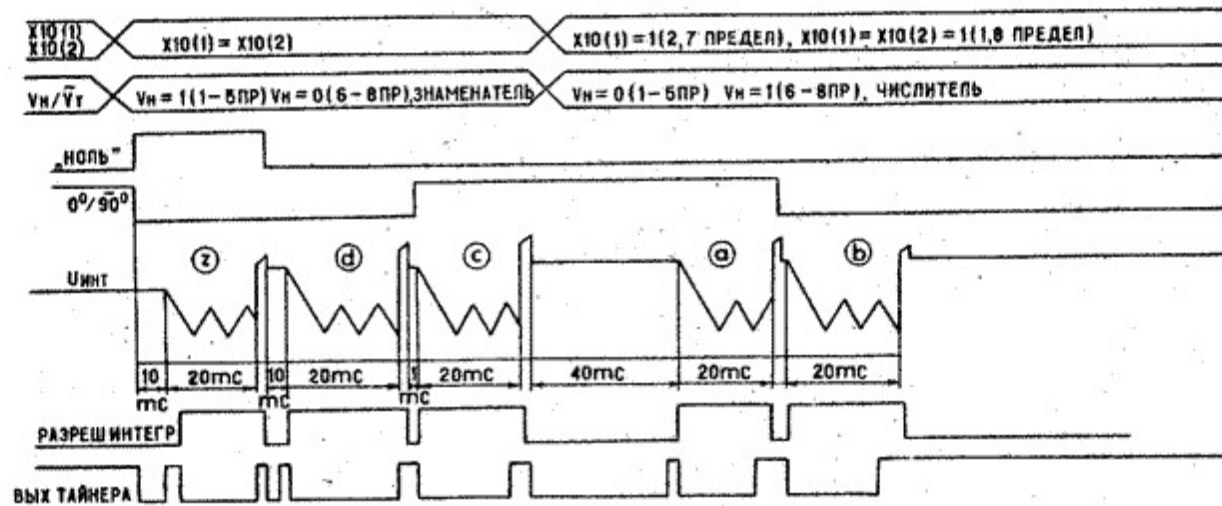


Рис. 2.3

Выходной ток резистивного сумматора – квазисинусоидальный, напряжение на выходе D53 приближается по форме к синусоидальному. Резисторы R204, R210 компенсируют постоянную составляющую выходного тока резистивного сумматора. Конденсаторы C105, C106 с ключами VT62, VT63 обеспечивают перестройку частоты среза ФНЧ в зависимости от рабочей частоты.

Выходной каскад выполнен на микросхеме D54 с двойным двухтактным эмиттерным повторителем на транзисторах VT66-VT69. Коэффициент передачи выходного каскада изменяется при помощи подключения резистора R227 параллельно резистору R225 через ключ D55, управляемый командой смены уровня сигнала. Этот же усилитель представляет собой второй перестраиваемый ФНЧ образованный частотнозависимой ООС (R226, C113, C114, C115).

С выхода эмиттерного повторителя через разделительный конденсатор C119 и сопротивление генератора R240 гармонический измерительный сигнал через кабель I поступает на измеряемый объект. Постоянное напряжение смещения поступает через R241. Контроль напряжения смещения осуществляется через цепочку R238, C109, R239.

На микросхеме D40 и транзисторе VT61 выполнен вторичный стабилизатор (+10V), питающий схему генератора и служащий для исключения связи генератора с остальной частью схемы через источник питания.

На стабилитроне VD41 выполнен стабилизатор напряжения питания микросхемы D48 регистра-формирователя для получения стабильной амплитуды измерительного сигнала.

Коммутатор фаз собран на микросхемах D47, D50, D51, D52. С его выхода снимаются управляющие сигналы для квазисинусоидального синхронного детектора. Управление фазой опорного сигнала 0/90 градусов осуществляется через инверторы D42.5 - D50.1.

2.5.2. Преобразователь ТОК-НАПРЯЖЕНИЕ

2.5.2.1. Входной каскад преобразователя выполнен в виде усилителя с низким входным сопротивлением. Он охвачен местной обратной связью (ОС) через цепочку R123, R124, R125, R113, C39, переключаемому

транзисторами VT44, VT49, одновременно с переключением эталонных резисторов преобразователя, тем самым создается постоянное петлевое усиление преобразователя.

Второй каскад усиления выполнен на микросхеме D18 с разомкнутой цепью ОС и вносит основной вклад в общий коэффициент усиления преобразователя.

Выходной эмиттерный повторитель VT42, VT51, VT43, VT47 - буферный каскад, обеспечивающий работу на низкоомную (200 Ω) нагрузку (образцовый резистор преобразователя). Для обеспечения устойчивости преобразователь снабжен высокочастотным параллельным каналом на транзисторах VT48, VT52, VT53, VT57, имеющим высокую частоту единичного усиления. VT48, VT57 - входной и выходной эмиттерные повторители, VT52 и VT53 - каскодный усилитель (схема ОЗ-ОБ). Суммирование сигналов основного и параллельного каналов производится на резисторах R114 и R137.

2.5.2.2. Резисторы R86, R87, R88 и R89, включенные в цепь обратной связи преобразователя, являются образцовыми. Подключение их в цепь обратной связи осуществляется тройными транзисторными ключами VT41, VT35, VT36, VT38, VT40, VT34, VT32, VT33, VT37, VT39, VT30, VT29, VT31.

Напряжение с эталонных резисторов снимается с помощью дифференциального усилителя D17, а подключение осуществляется тройными транзисторными ключами VT28, VT25, VT24, VT27, VT23, VT22, VT26, VT21, VT20.

Управление подключением эталонных резисторов и резисторов входного каскада осуществляется из логической секции через резистор последовательного ввода данных D44.1 и регистр хранения D16. Преобразование уровней логики ТТЛ в сигналы управления аналоговыми ключами проводится компараторами на микросхемах D13, D14 и D15.

2.5.3. Дифференциальный усилитель напряжения

Дифференциальный усилитель напряжения выполнен на микросхемах D11 и D12. На неинвертирующий вход операционного усилителя через сумматор на резисторах R244, R245 поступает напряжение с кабеля U' и напряжение с оплетки кабеля D12.

Напряжение с вывода U через разделительный конденсатор $C23$ и цепь защиты от перенапряжения ($R63, VDI4, VDI5, R66, VDI7, VDI6$) поступает на неинвертирующий вход операционного усилителя $D11$. Обратная связь через резисторы $R59, R60$ устанавливает коэффициент усиления этого сигнала равным 2 ($R59=R60$). С выхода микросхемы $D12$ сигнал поступает через резистор $R60$ на инвертирующий вход микросхемы $D11$. С выхода микросхемы $D11$ через $R59$ поступает сигнал $00C$. Коэффициент усиления усилителя $D11$ по неинвертирующему входу устанавливается равным 2, а по инвертирующему - минус 1. В результате на выходе усилителя $D11$ образуется напряжение $V_H = 2(U-U')$.

Коэффициент усиления выбран равным 2 для более полного использования динамического диапазона операционного усилителя. Для этих же целей номиналы резисторов обратной связи преобразователя выбраны кратными удвоенному номиналу сопротивления генератора.

2.5.4. Масштабный усилитель

2.5.4.1. Коммутатор сигналов масштабного усилителя выполнен на биполярных транзисторах $VT11$ (ключ V_H) и $VT12$ (ключ V_T). Управление переключателем осуществляется через компаратор $D5$.

Первый каскад усиления выполнен на $D7$. Изменение коэффициента усиления в зависимости от уровня сигнала осуществляется переключением точки снятия сигнала обратной связи. Если будет замкнут ключ $VT14$, то усиление устанавливается равным 1.

Если замкнут ключ $VT13$, то усиление устанавливается равным 50. На выходе первого каскада включен первый прецизионный аттенкатор $R43, R44$, ослабляющий сигнал в 10 раз.

На вход усилителя $D9$ с фиксированным усилением ($I0$), задаваемым резисторами $00C R45, R46$, сигнал поступает либо через $VT15$ с выхода $D7$ (усиление $I0$), либо через $VT16$ с делителя (усиление 1). Управление ключами осуществляется сигналом $X10(1)$ через компаратор $D8.1$.

На выходе усилителя $D9$ включен второй прецизионный делитель $R52, R53$. Коммутатор выполнен на транзисторах $VT17, VT18$. Управление ключами осуществляется от сигнала $X10(2)$ через компаратор $D8.2$. С выхода микросхемы $D10$ сигнал из масштабного усилителя поступает в интегратор.

2.5.5. Интегратор

2.5.5.1. Ключ измерения "нуля" интегратора выполнен на D27 и работает в режиме переключения тока.

ФНЧ выполнен на микросхеме D28. Переключение полосы производится коммутацией конденсаторов в цепи ООС синхронно с аналогичными каскадами в генераторе (VT57, VT58, C69, C68, C66, C62).

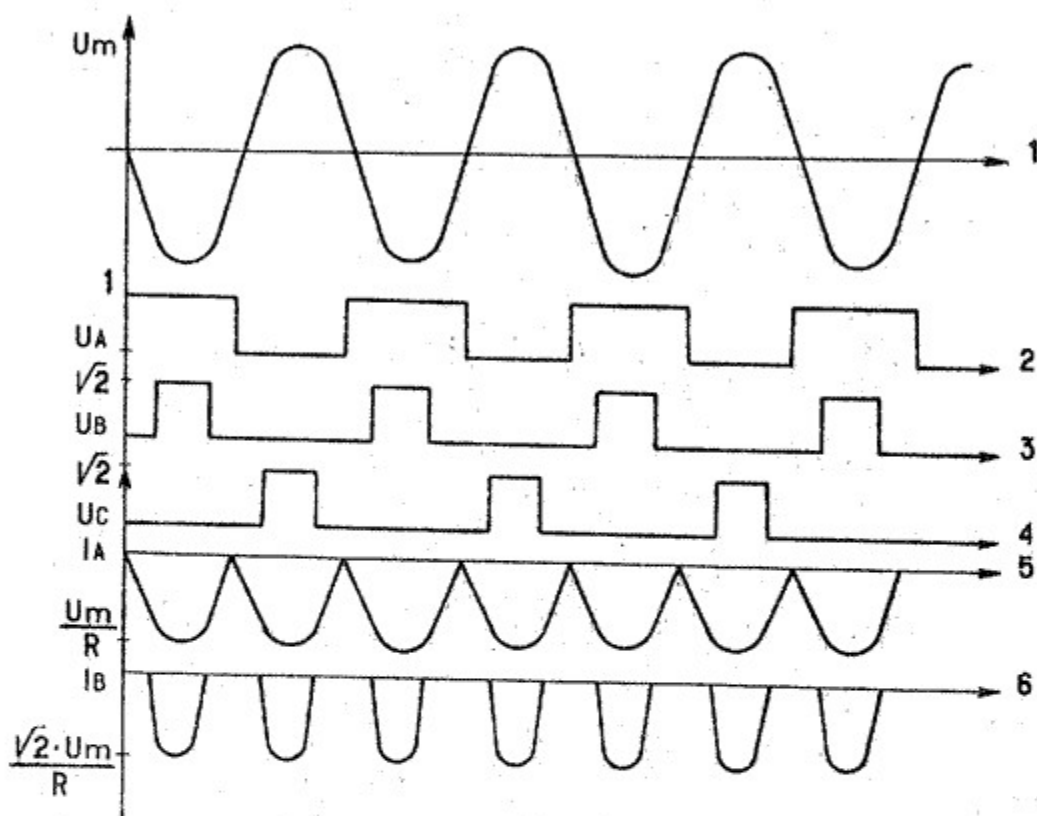
На микросхеме D37 выполнен инвертор сигнала для двухтактного квазисинусоидального синхронного детектора. Синхронный детектор выполнен на токовых ключах D36, D35, D33, D32 (полевые транзисторы с р-п переходом и каналом р-типа), управляемых непосредственно от стандартных уровней ТТЛ-логики.

На микросхеме D34 выполнен синхронизатор управляющих сигналов синхронного детектора, исключая погрешность установки фазового сдвига 90° между опорными сигналами 0 ГРАД и 90 ГРАД синхронного детектора. Синхронизация сигналов осуществляется импульсами частотой 800 кГц, являющимися входными для регистра-формирователя сигналов квазисинусоидального генератора. При этом, если задержка сигналов внутри регистра и коммутатора фаз меньше 1 периода частоты 800 кГц (что выполняется), то разность фаз между опорными сигналами 0 ГРАД и +90 ГРАД точно равна $\pi/2$. Для того, чтобы третья и пятая гармоники рабочей частоты, оставшиеся в сигнале генератора из-за неидеальности матрицы резисторов, не давали ошибки измерения, необходимо исключить их из опорного сигнала синхронного детектора. Для этого требуется выработать дополнительные сигналы управления и установить в тракт сигнала дополнительные резисторы и ключи. Временная диаграмма работы синхронного детектора в случае нулевого фазового сдвига приведена на рис.2.4.

Если амплитуда тока дополнительной фазы будет в $\sqrt{2}$ раз больше амплитуды тока основной фазы, то суммарный выходной ток синхронного детектора практически не будет содержать постоянной составляющей, образованной третьей и пятой гармониками сигнала.

На микросхеме D30 выполнен ключ заряда интегратора, подключающий ток синхронного детектора ко входу интегратора на время 20 нс, кратное целому числу периодов рабочей частоты. Через резистор R172 подается ток смещения, что позволяет сделать зарядный ток всегда одного знака и избежать проблем определения полярности тока разряда.

Временная диаграмма работы синхронного детектора



Этиры:

- 1 - входные напряжения одного плеча синхронного детектора (вывод 6 D28);
- 2 - напряжение управления основной фазы U_A (вывод 6 D36);
- 3 - напряжение управления дополнительной фазы U_B (вывод 6 D35);
- 4 - напряжение дополнительной фазы U_C (вывод 8 D32);
- 5 - ток основной фазы (сумма токов вывод 4 D36 и выв. 4 D33);
- 6 - ток дополнительной фазы (сумма токов выв. 4 D35 и выв. 4 D32).

Рис.2.4

На стабилизаторе VD40 с источником тока VD60 выполнен опорный источник напряжения. На микросхеме D3B выполнен повторитель напряжения (минус 8 В) и на D40 - инвертор (плюс 8 В). Интегрирующий аналого-цифровой преобразователь построен по схеме с совмещенными циклами заряда и разряда и состоит из:

- интегратора D29, С61;
- схемы быстрого разряда на диодах VD31, D21.1 (выводы 3, 6), D29.2 (выводы 1, 8) и на токозадающем резисторе RI68;
- схемы медленного разряда на диодах VD39, D29.1 (выводы 4, 5) D29.2 (выводы 7, 2) и токозадающих резисторах RI69, RI76;
- компаратора быстрого разряда D20 с гистерезисом за счет положительной обратной связи через RI36, RI38 и преобразователем уровня на VD26, VD27, VD34, VD35, D23.3;
- компаратора медленного разряда на D21 с преобразователями уровня на VD36, VD27, VD29, VD30, D23.2;
- компаратора конца преобразования на D22 с преобразователем уровня на VD31, VD33, VD28, VD32, D23.1;
- усилителя D26 и ключа D25 начальной установки интегратора с разрядным резистором RI66.

Опорные напряжения на все компараторы подаются с делителя напряжения RI46, RI45, RI44.

Временная диаграмма одного цикла преобразования приведена на рис.2.5.

На этом рисунке:

- A - выходное напряжение интегратора (вывод 6 D31);
- B - сигнал компаратора быстрого разряда (вывод 6 D23);
- C - сигнал компаратора медленного разряда (вывод 4 D23);
- D - сигнал компаратора конца преобразования (вывод 2 D23);
- E - команда РАЗРЕШЕНИЕ ИНТЕГРИРОВАНИЯ;
- F - команда ИНТЕГРИРОВАНИЕ.

2.5.5.2. Процесс интегрирования происходит следующим образом. В начальный момент 0 (см.рис.2.5) напряжение на выходе интегратора равно +7,7 В и определяется напряжением, поданным на вход усилителя начальной установки D26. Подается команда РАЗРЕШЕНИЕ ИНТЕГРИРОВАНИЯ, размыкается ключ D25 и интегратор готов к работе. В мо-

Временная диаграмма цикла преобразования

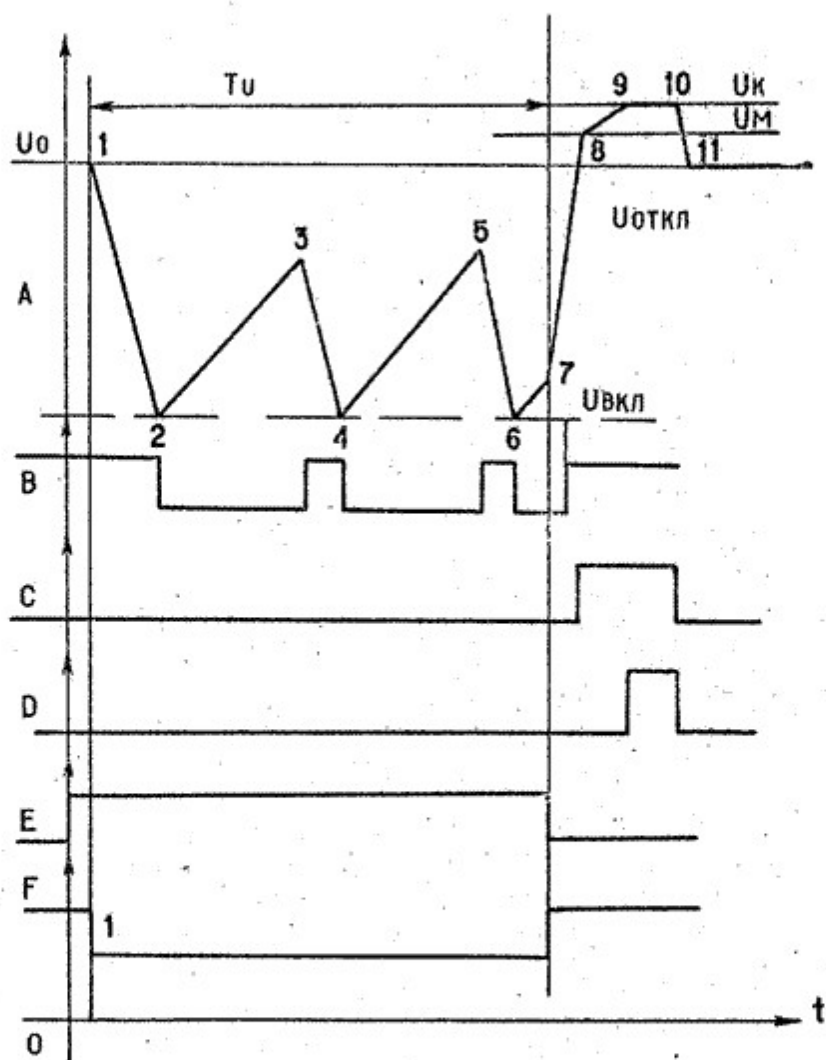


Рис.2.5

мент I подается команда ИНТЕГРИРОВАНИЕ, срабатывает ключ D30 и ток, равный сумме тока смещения и тока сигнала, начинает заряжать конденсатор интегратора. В тот момент (2), когда напряжение на выходе интегратора достигнет напряжения минус 6 В, срабатывает компаратор быстрого разряда и через резисторы положительной обратной связи напряжение срабатывания становится равным плюс 3 В. Сигнал компаратора через интерфейс интегратора вызывает срабатывание ключа быстрого разряда. Ток быстрого разряда равен удвоенному току смещения, но имеет противоположный знак. Напряжение на выходе интегратора начинает изменяться в сторону положительных напряжений в момент 3, когда выходное напряжение интегратора достигнет порога +3 В, компаратор переключается и ток быстрого разряда отключается. Цикл заряда-разряда повторяется (4, 5, 6).

Во время, когда идет разряд (2-3, 4-5, 6-7), счетчик результата, расположенный в логической секции, заполняется импульсами быстрого разряда. В момент времени 7 кончается 20 нс, отведенные на заряд интегратора сигналом и выдается принудительная команда включения быстрого разряда. Напряжение на интеграторе начинает изменяться с большей скоростью, так как сигнал и смещение отключаются.

В момент времени (8), когда напряжение на выходе интегратора достигнет уровня 7,9 В, задаваемого делителем опорного напряжения, замыкается компаратор медленного разряда. В результате этого ключ быстрого разряда размыкается, а ключ медленного разряда замыкается. Скорость изменения напряжения уменьшается в 16 раз, так как ток медленного разряда меньше тока быстрого разряда в 16 раз $R_{I68} = (R_{I76} + R_{I69})/16$. Счетные импульсы будут поступать на вход медленного разряда (в младший разряд счетчика результата), тем самым увеличивается разрешающая способность аналого-цифрового преобразования.

В момент 9 напряжение на выходе интегратора достигнет порога +8,1 В и срабатывает компаратор конца преобразования. Счет результата останавливается и вырабатывается флаговый сигнал конца преобразования. После обнаружения этого флагового сигнала логическая секция снимает команду РАЗРЕШЕНИЕ ИНТЕГРИРОВАНИЯ, замыкается ключ сброса интегратора D25 и через усилитель D26 и резистор R158 выходное напряжение интегратора приводится к начальному уровню +7,7 В.

Начальный этап сброса (I0-II) идет (при насыщенном выходе усилителя D26) постоянным током. После того как усилитель D26 выходит из насыщения, скорость разряда возрастает и напряжение приводится к исходному уровню +8 В.

2.5.6. Источник смещения

2.5.6.1. Источник смещения предназначен для подачи на объект измерения постоянного напряжения поляризации, например, при измерении емкости поляризованных электролитических конденсаторов. Внутренний источник смещения позволяет подать на объект напряжение до плюс 40,95 В (плюс со стороны разъемов I, U).

На микросхеме D2 построен I2-разрядный цифроаналоговый преобразователь (ЦАП), преобразующий входной цифровой код в выходной ток на выводе 48. Входной цифровой код вводится в регистр последовательного ввода, построенный на микросхемах D4, D3.1. Фиксация кода производится во внутренней памяти ЦАП по сигналу ПЕРЕГИСЬ.

На микросхеме D1 построен преобразователь ТОК-НАПРЯЖЕНИЕ, выходным каскадом которого служит двухкаскадный усилитель напряжения VT8, VT7 и следующий за ним выходной эмиттерный повторитель VT5, VT6. В обратной связи преобразователя находятся резисторы R18, R19, R14. Подстроечный резистор R14 служит для установки точного коэффициента передачи (40,95 В при соответствующем коде). Резисторы R20, R15-R17, R15 служат для настройки нуля источника смещения (0 В на выходе при коде 0.00).

Диоды VD6, VD7, VD15 служат для защиты усилителя при перегрузках, появляющихся при заряде больших емкостей объектов.

Цепь R13, R12, C1 служит для обеспечения устойчивости источника смещения.

Опорный источник ЦАП выполнен на стабилизаторе VD9. Ток стабилизация задается источником тока, выполненным на транзисторе VT9, цепь R23, VD8, R22 служит для термостабилизации этого источника тока.

На транзисторах VT4, VT3 и резисторе R3 выполнен первый ограничитель выходного тока источника на уровне

$$I_I = U_{03}/R3, \quad U_{03} \approx 0,7 \text{ В}$$

Этот ограничитель работает при напряжении смещения более 15 В. Если напряжение смещения будет менее или равно 15 В, то выходной ток ограничивается аналогичным каскадом на VT1, VT2, R2 и ток ограничения будет равен

$$I_2 = U_{0в} / R2, \quad U_{0в} \approx 0,7 \text{ В}$$

Заряд электролитического конденсатора будет происходить до уровня 15 В постоянным током $I_2 + I_1$, далее - постоянным током I_1 . Затем, когда ток заряда станет меньше I_1 , ограничитель отключится и дальнейший заряд будет происходить при экспоненциальном изменении тока заряда и напряжения смещения на объекте с постоянной времени $\tau = R \cdot C_x$. Временная диаграмма процесса заряда конденсатора приведена на рис.2.6.

2.6. Поиск неисправностей в аналоговой секции прибора

2.6.1. Алгоритм поиска неисправностей на уровне функционального узла аналоговой секции приведен на рис.2.7.

2.6.2. Алгоритмы поиска неисправностей на уровне элементов в функциональных узлах приведены на рис.2.8 - рис.2.13.

2.7. Схема электрическая функциональная логической секции

2.7.1. Логическая секция (рис.2.14) включает в себя:

микропроцессор, содержащий генератор тактовых импульсов, центральный процессор, буферный усилитель шины адреса, дешифратор памяти и фиксатор слова состояния процессора;

узел управления аналоговой секцией, содержащий стробируемый дешифратор устройств ввода/вывода, порт I, таймер и интерфейс интегратора;

узел памяти;

узел обработки прерываний;

узел КОП;

узел разбраковки;

клавиатуру;

дисплей.

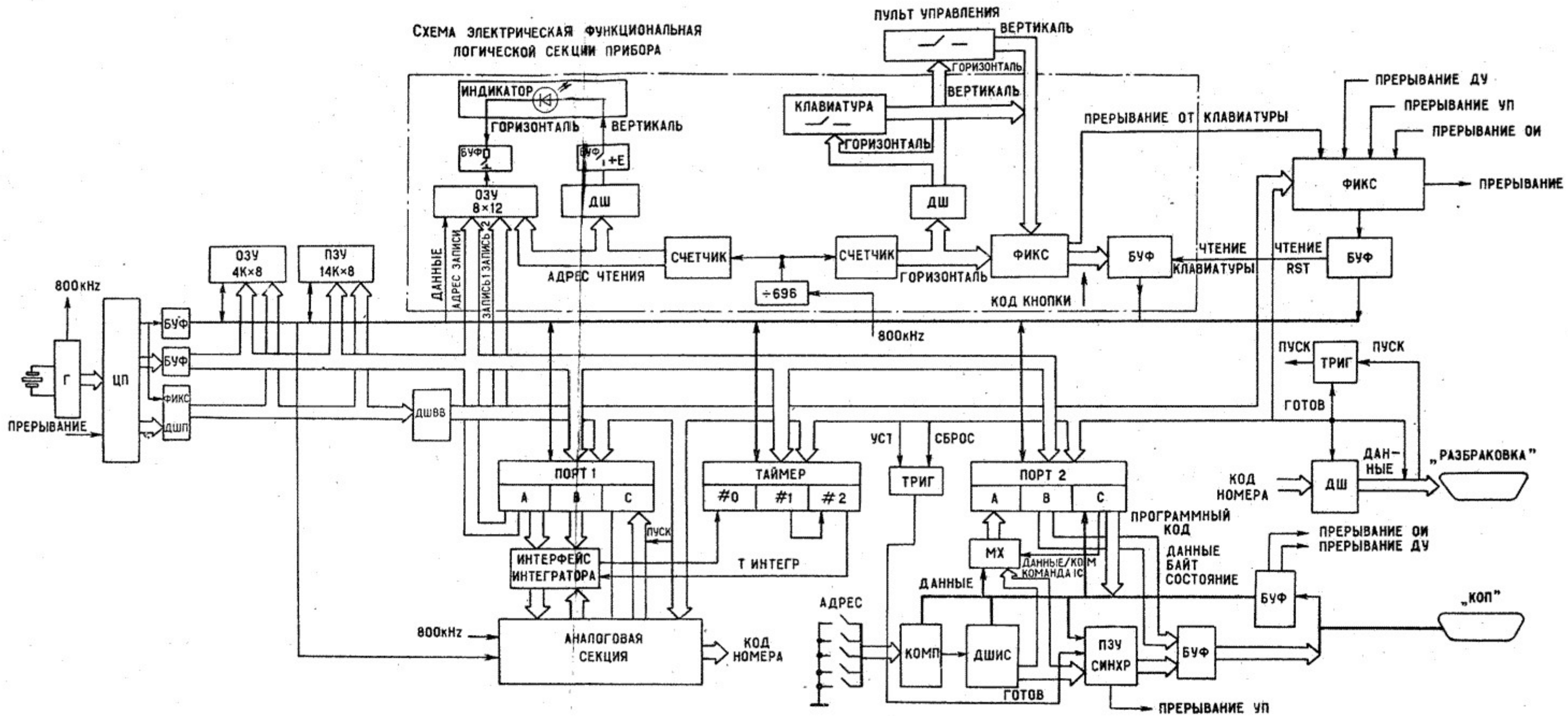


РИС. 2.14

Процесс заряда конденсатора

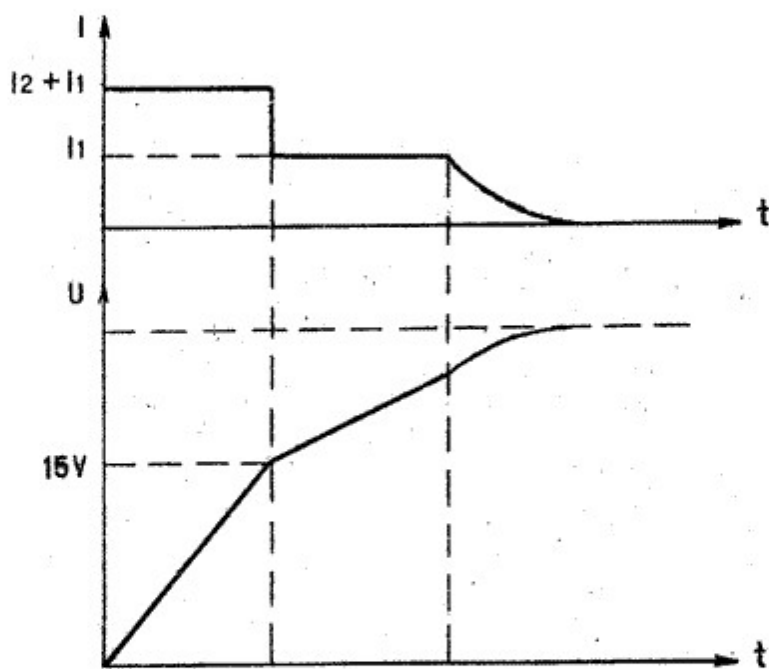


Рис.2.6

Алгоритм поиска неисправностей на уровне функционального узла аналоговой секции

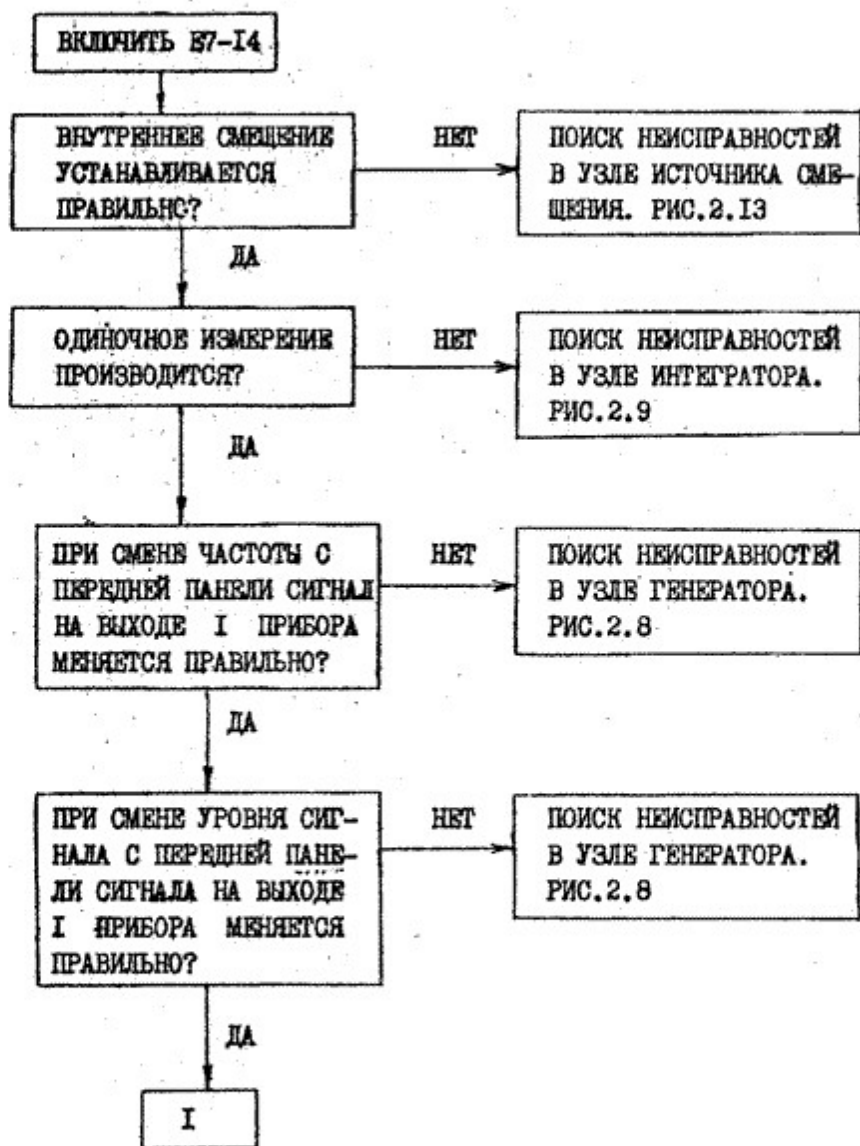


Рис.2.7

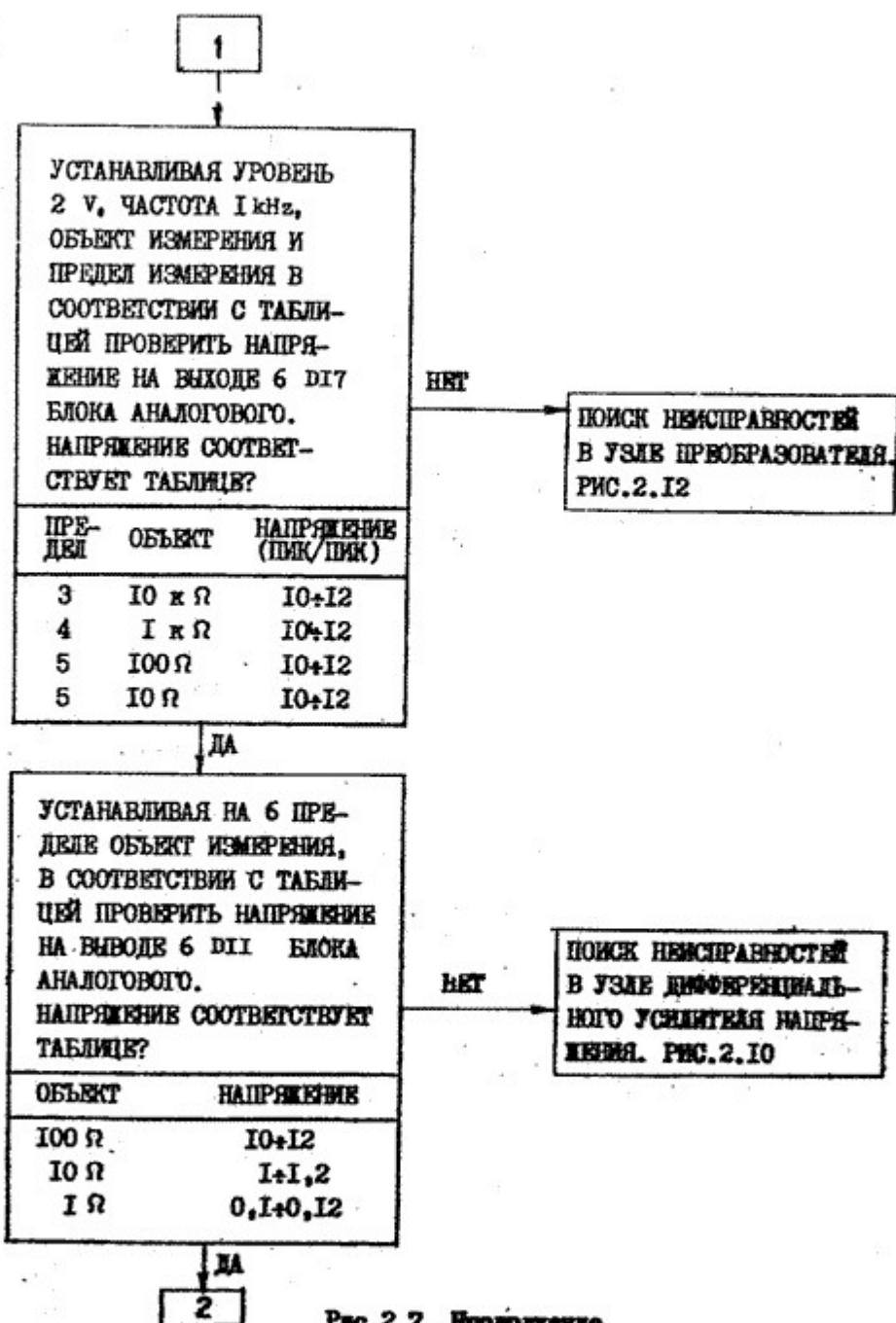


Рис.2.7. Продолжение

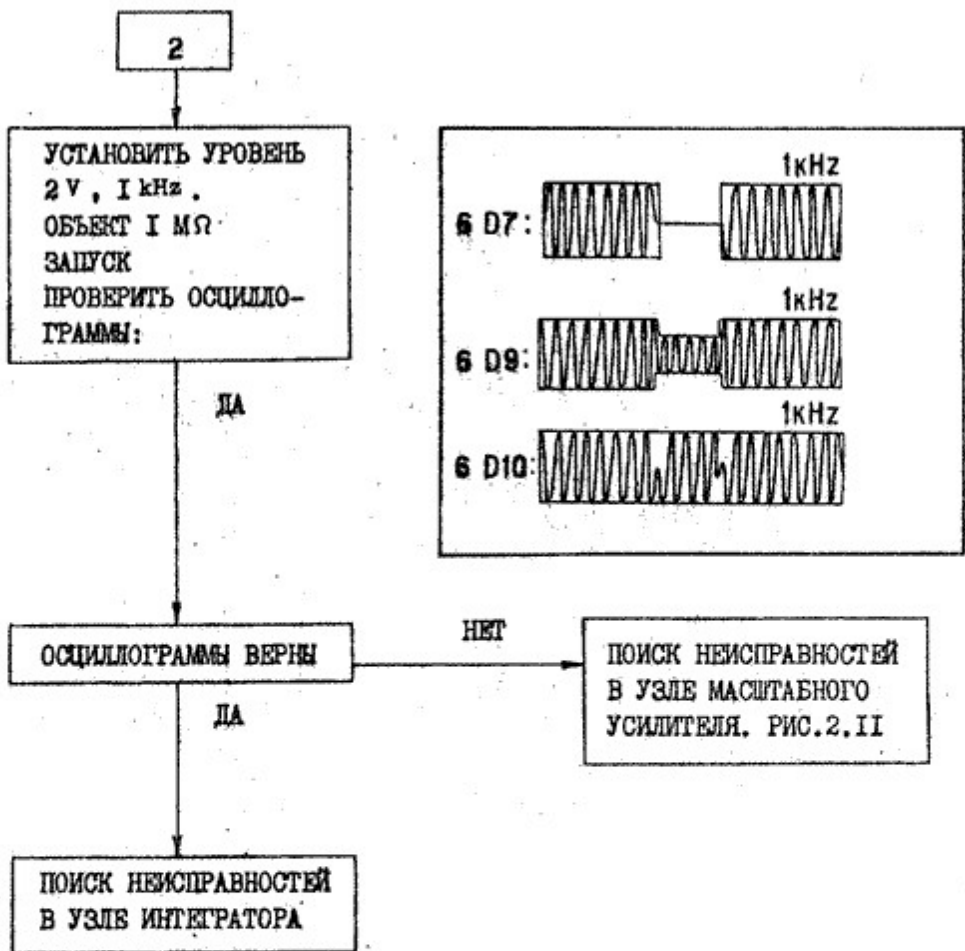


Рис.2.7. Продолжение

Алгоритм поиска неисправностей в узле генератора.
 Сигнатуры приведены в табл.2.12.

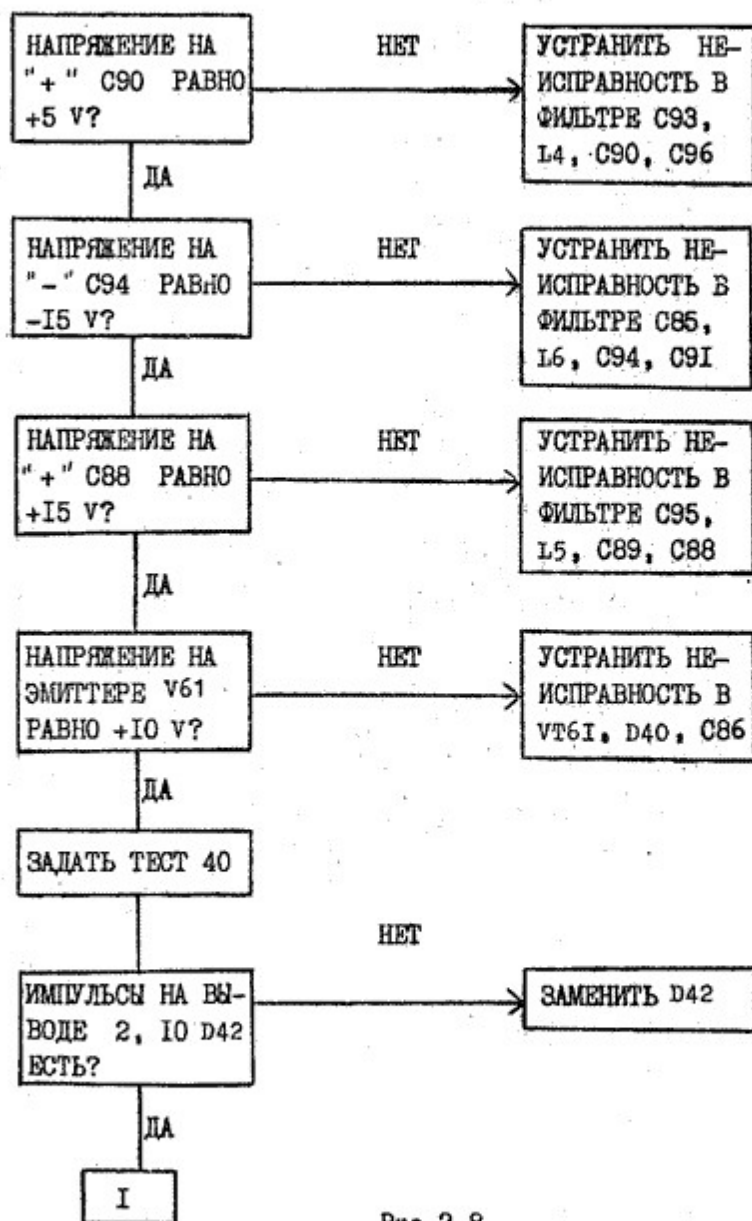


Рис.2.8

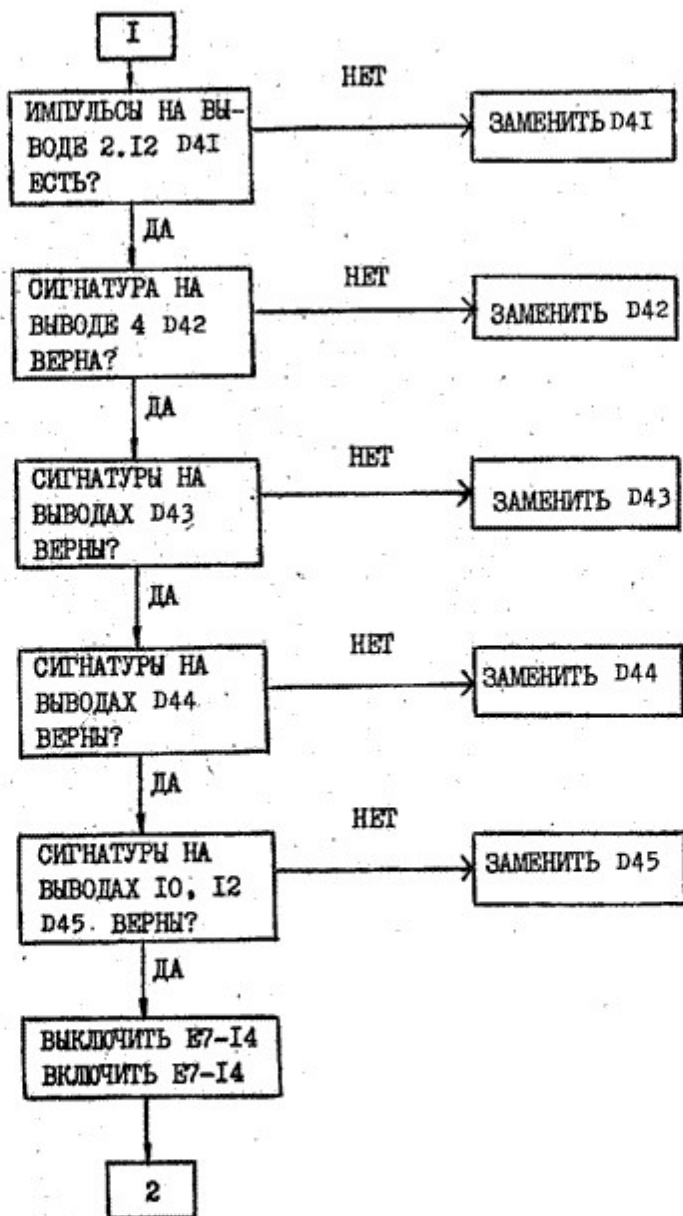


Рис. 2.8. Продолжение

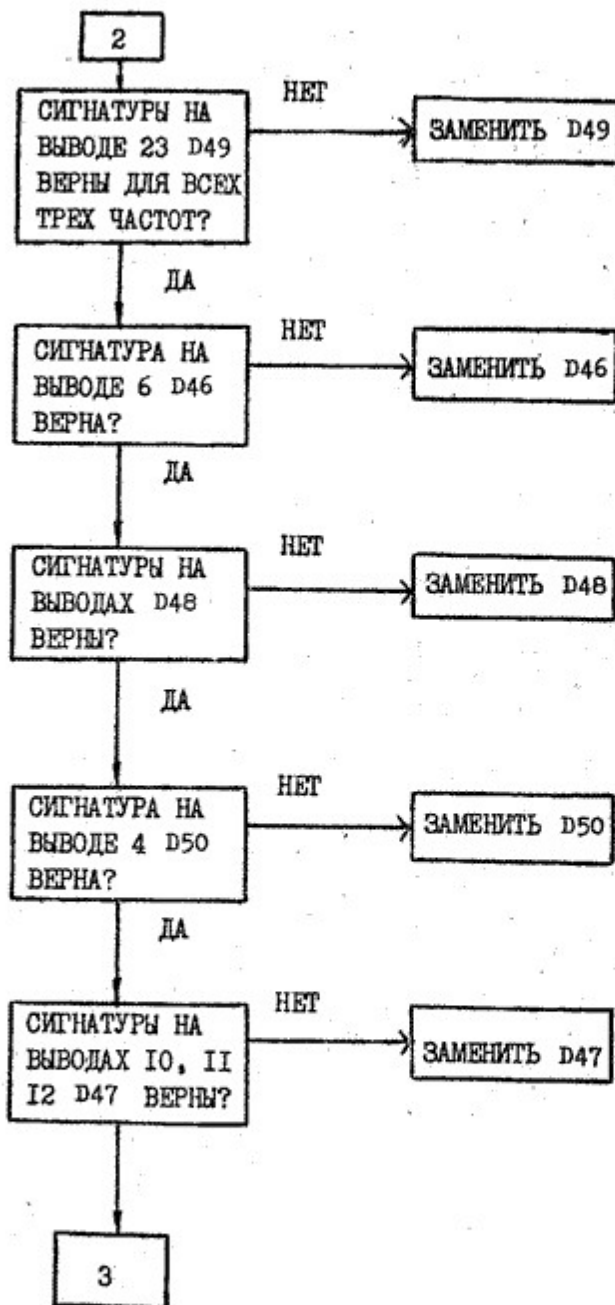


Рис.2.8. Продолжение

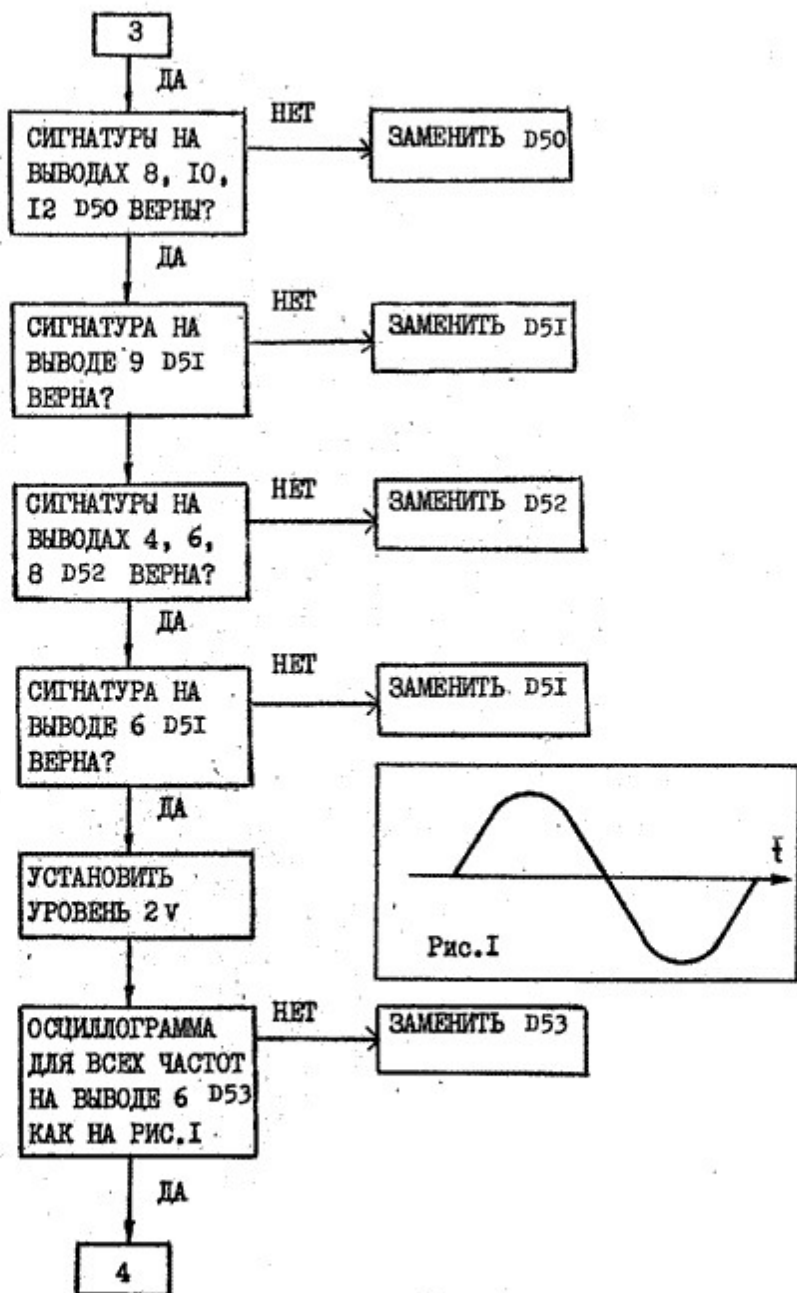


Рис. 2.8. Продолжение

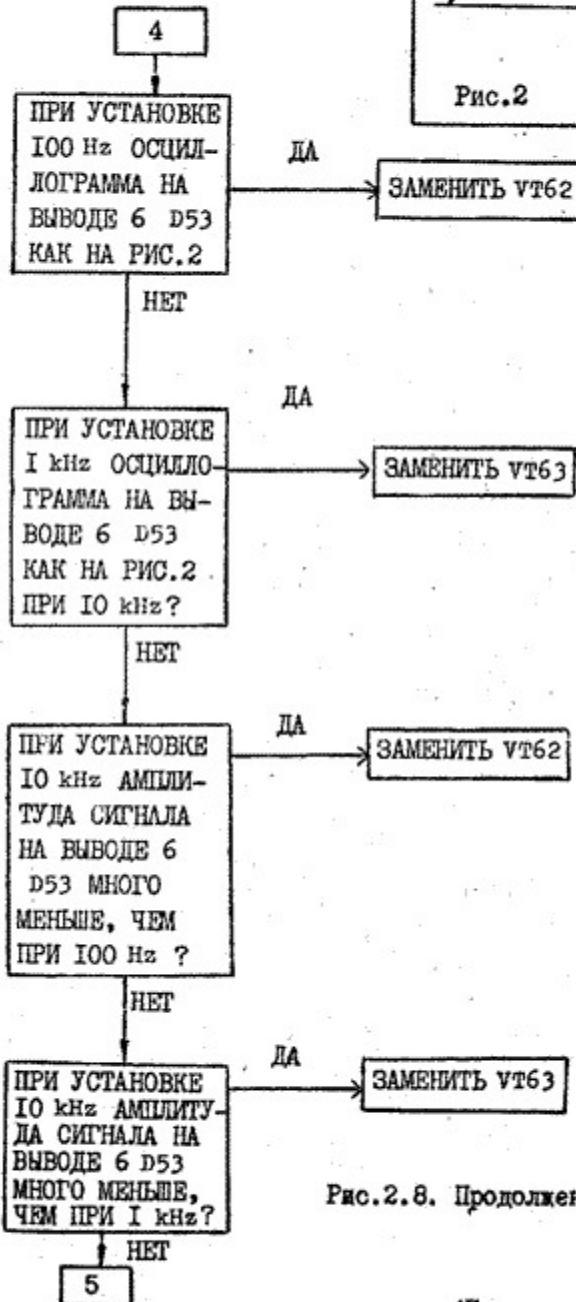
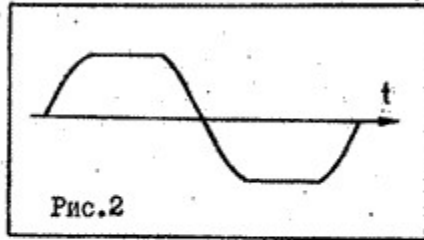


Рис.2.8. Продолжение

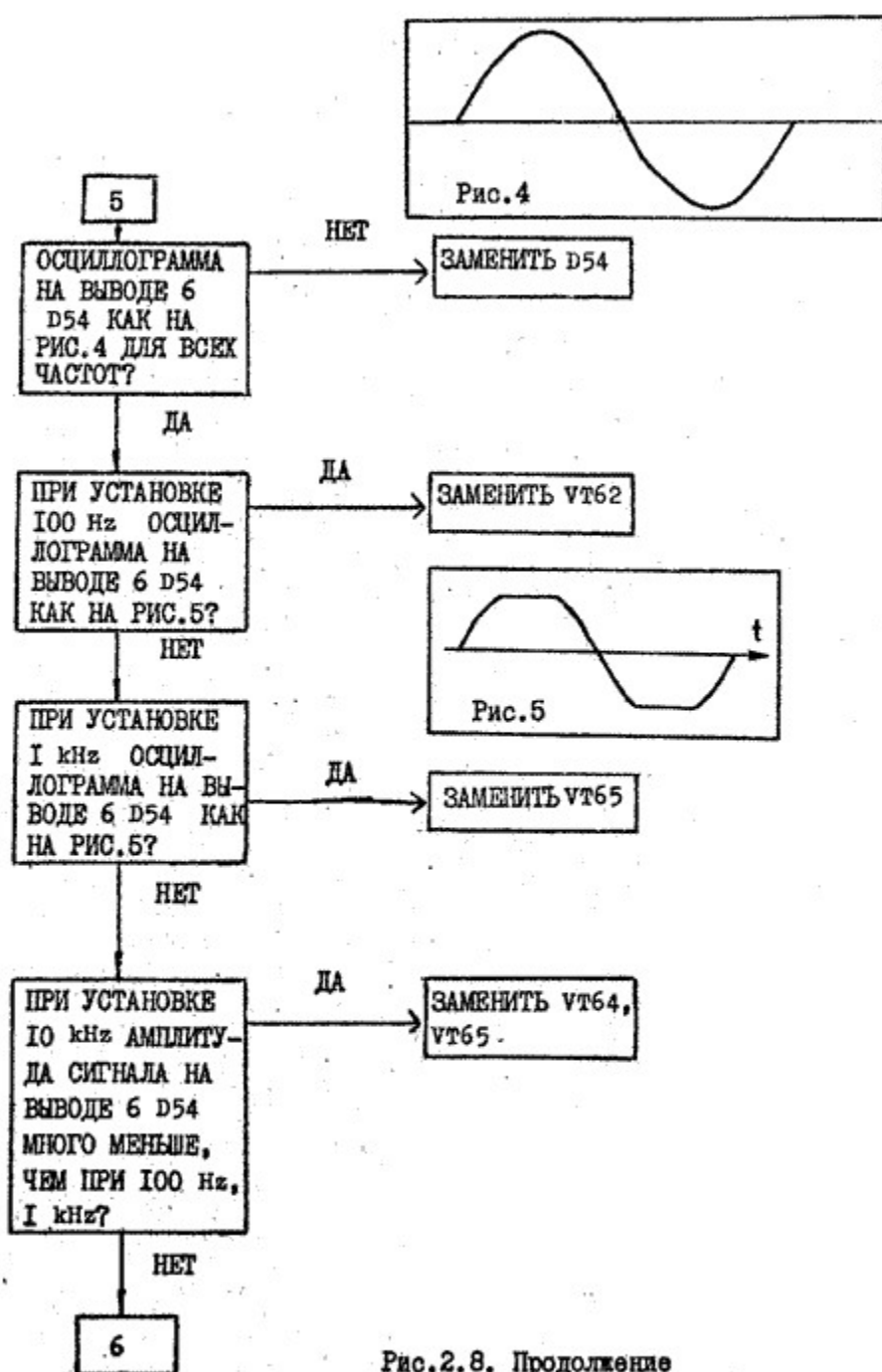


Рис.2.8. Продолжение

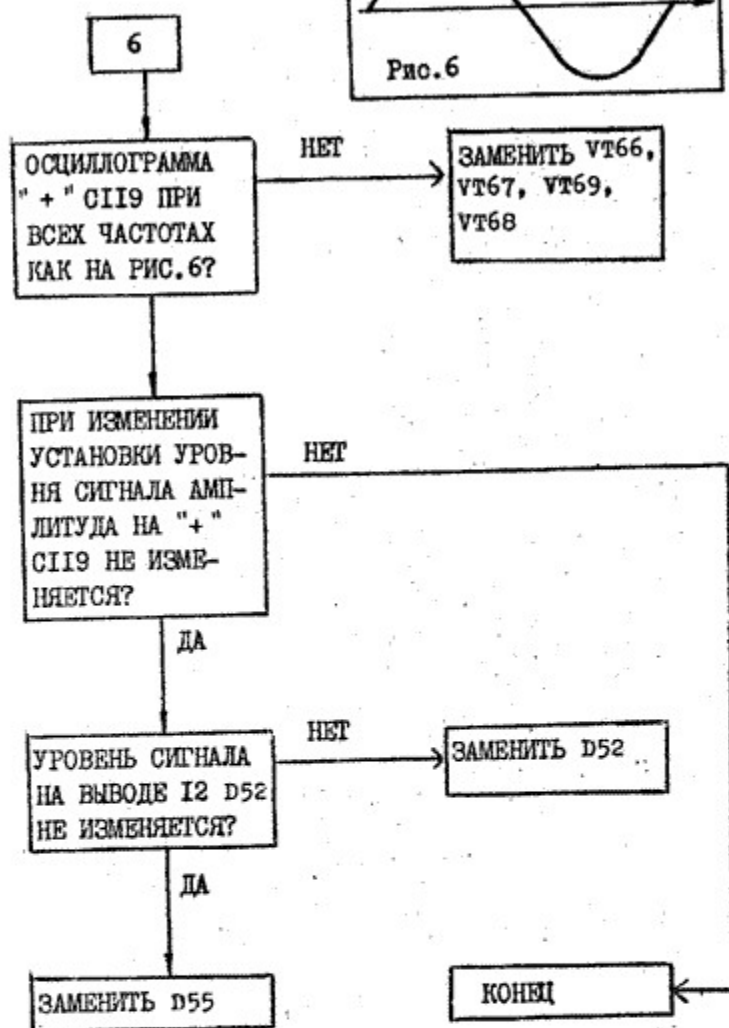
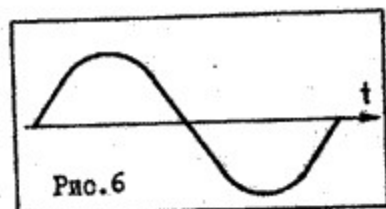


Рис.2.8. Продолжение

Алгоритм поиска неисправностей в узле интегратора

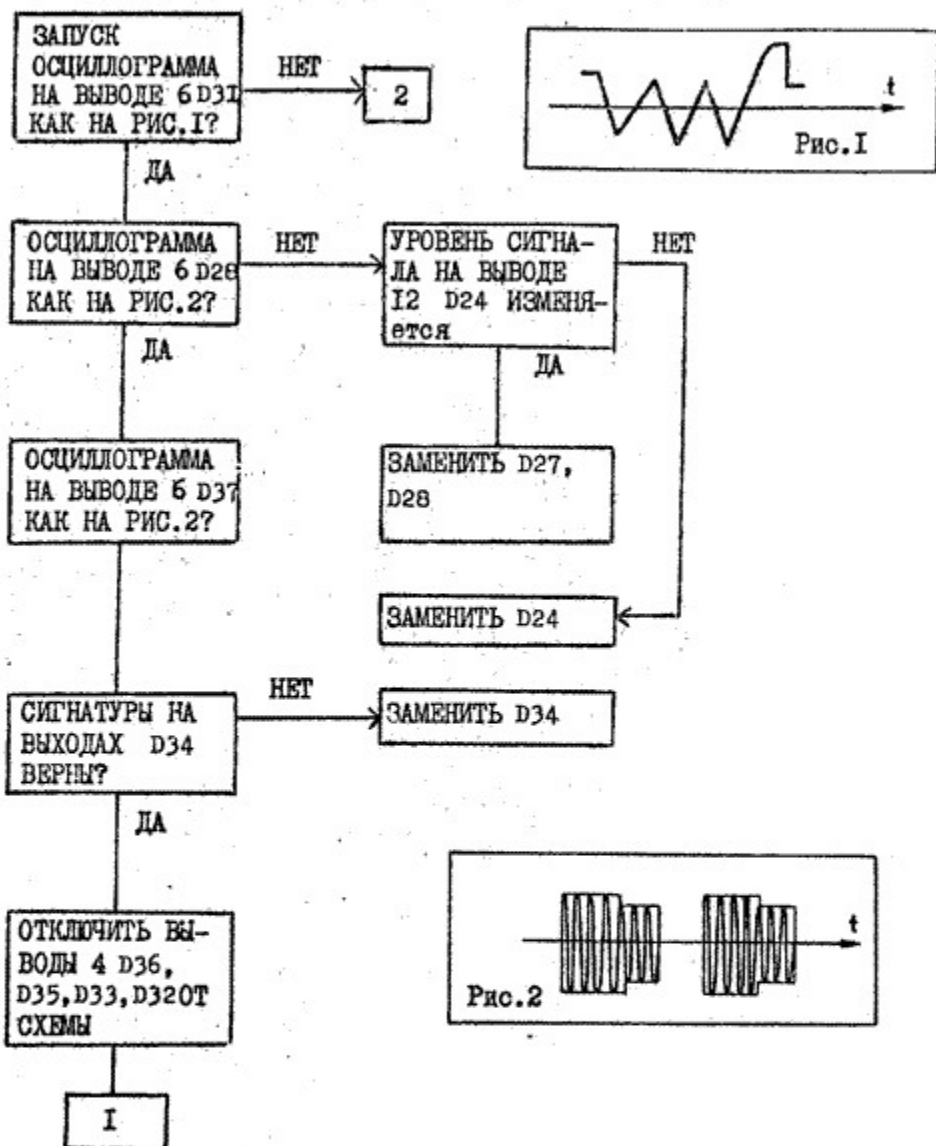


Рис. 2.9

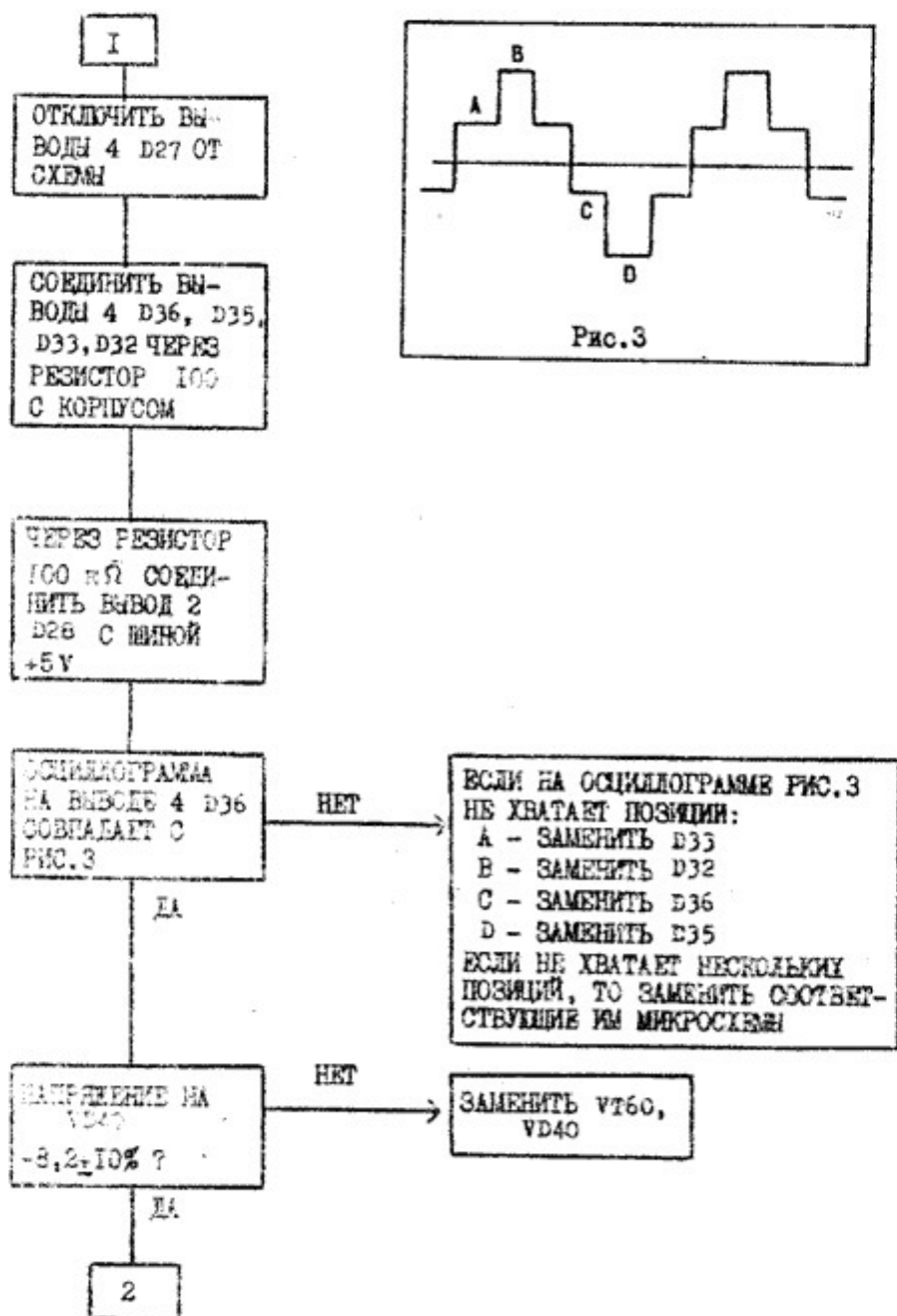


Рис. 2.9. Продолжение

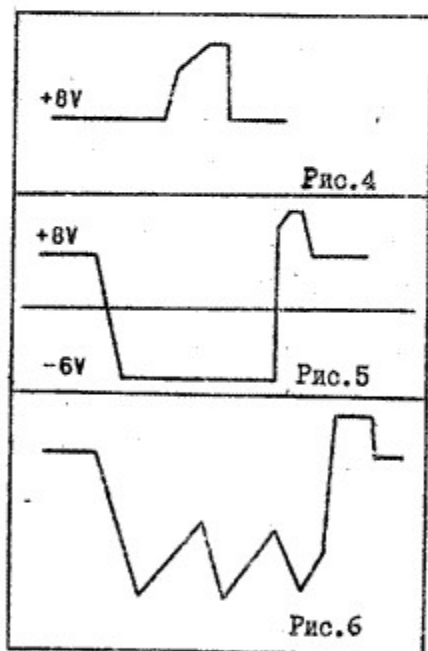
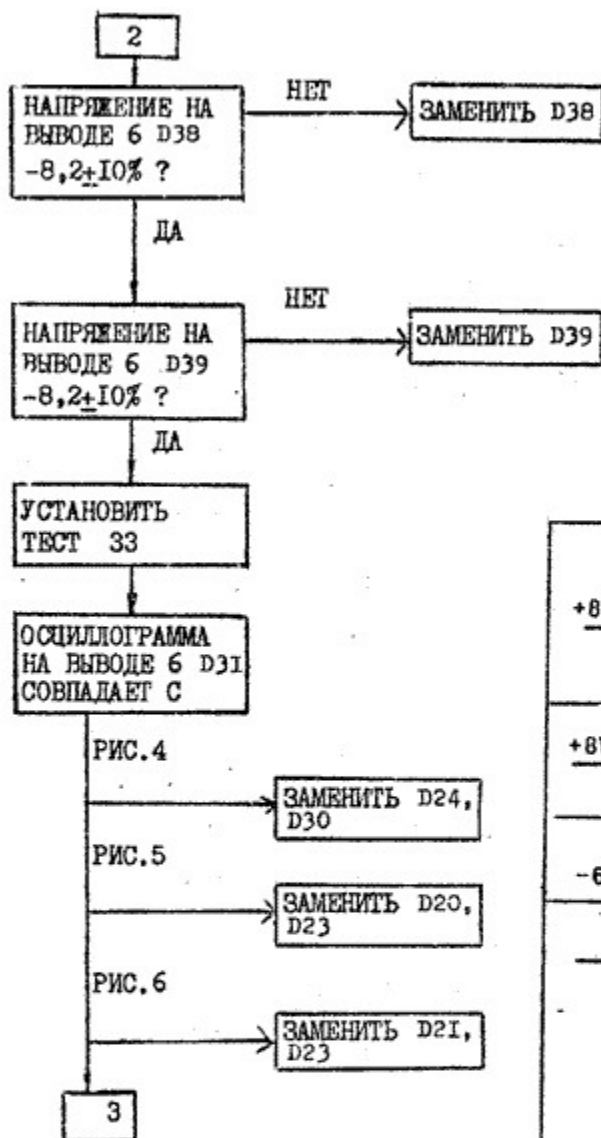


Рис.2.9. Продолжение

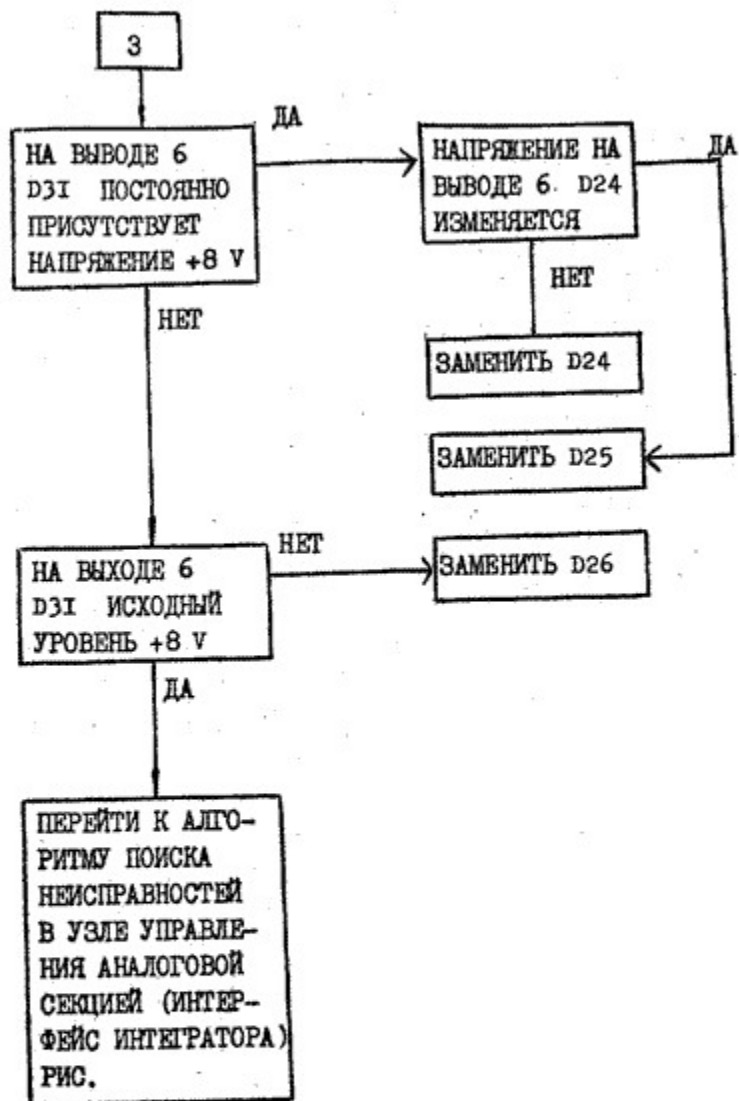


Рис.2.9. Продолжение

Алгоритм поиска неисправностей в узле дифференциального усилителя

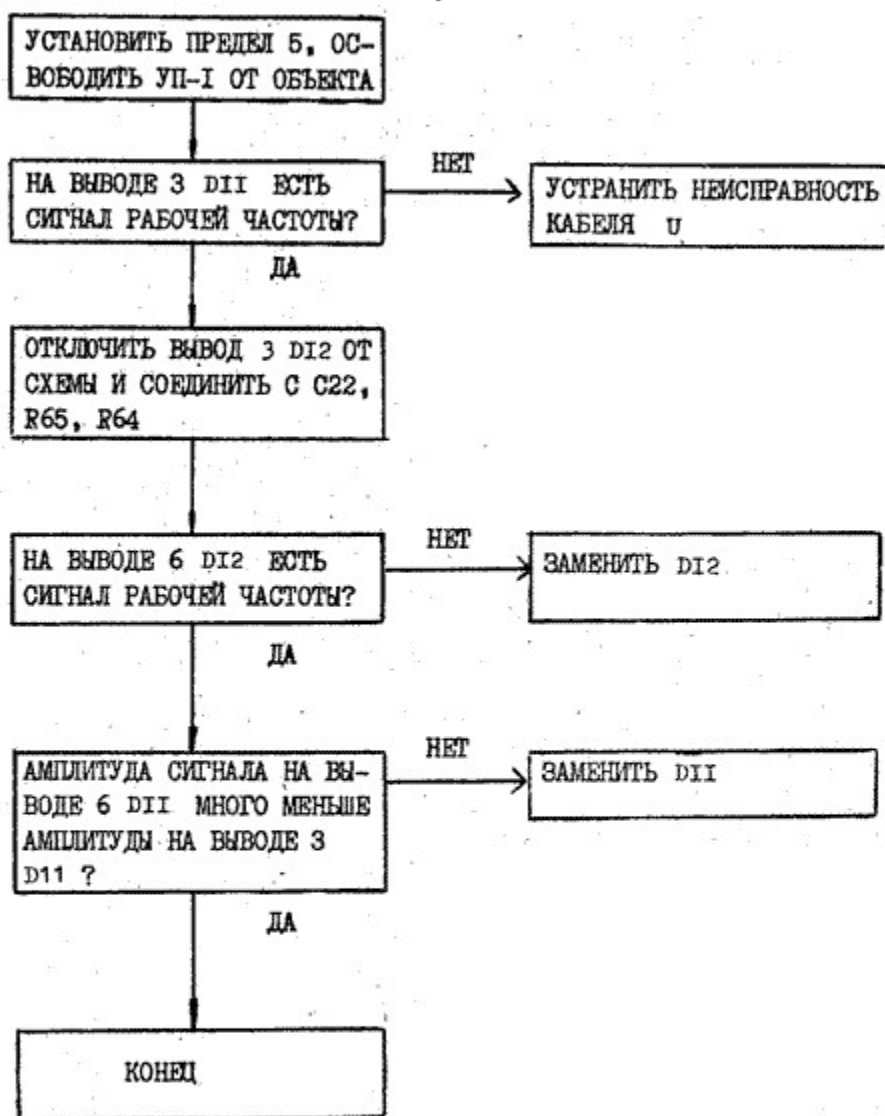


Рис.2.10

Алгоритм поиска неисправностей в узле масштабного усилителя

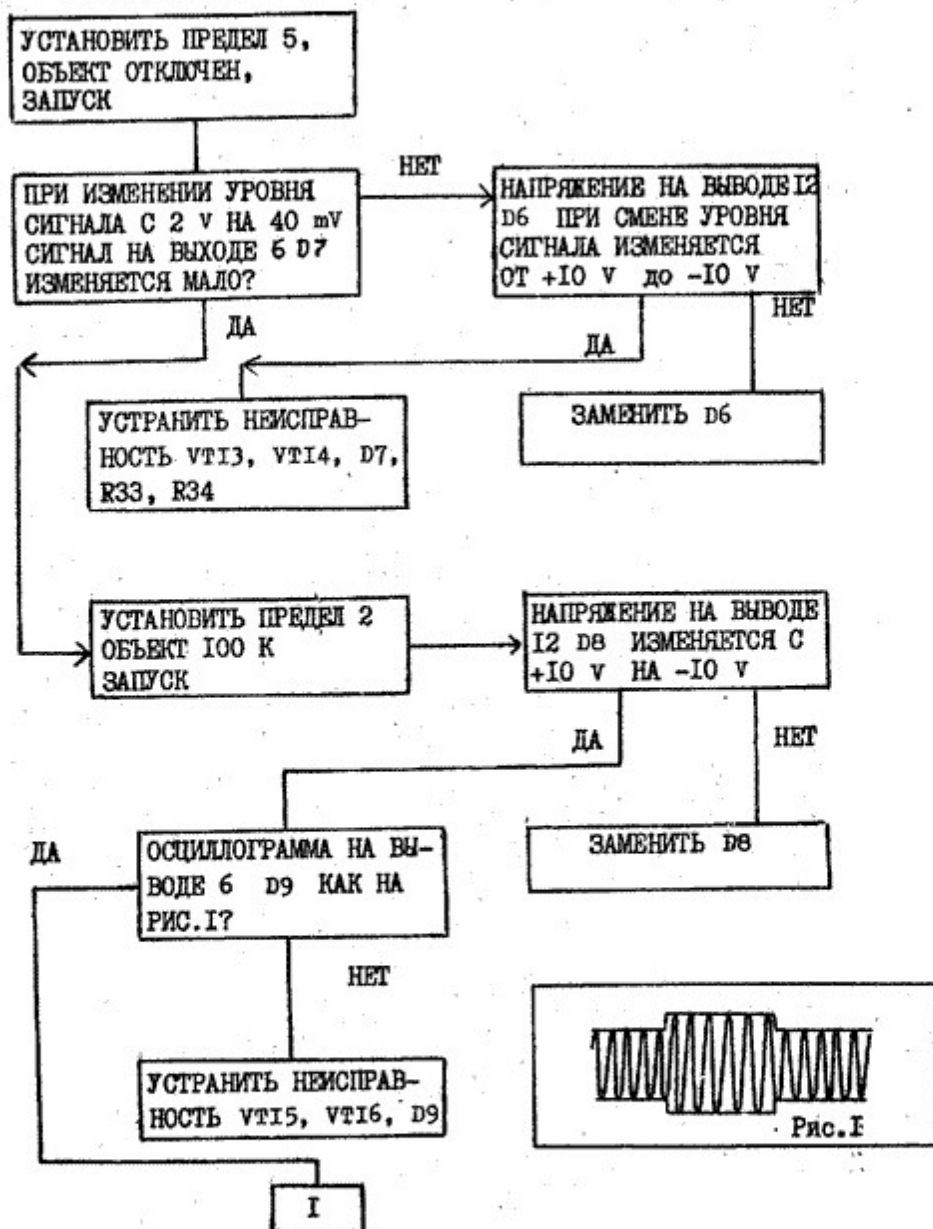


Рис. 2. II

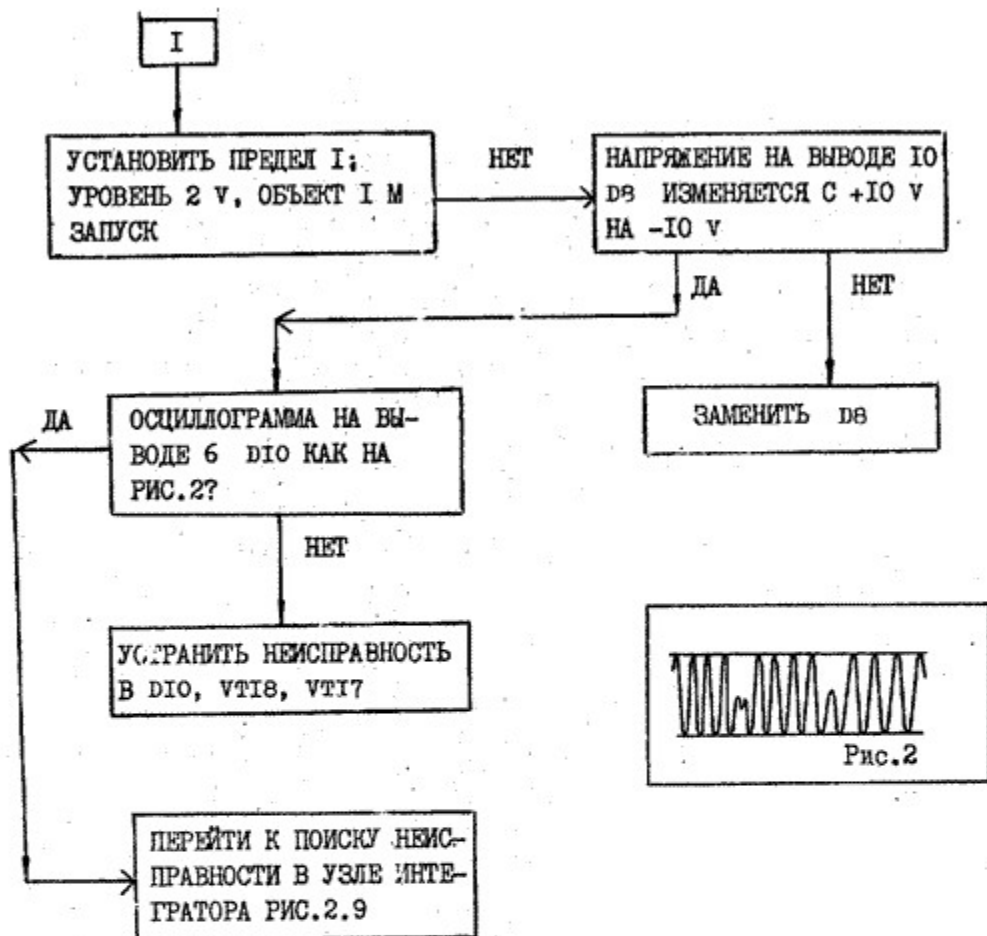


Рис.2.II. Продолжение

Алгоритм поиска неисправностей в узле преобразователя
ТОК-НАПРЯЖЕНИЕ

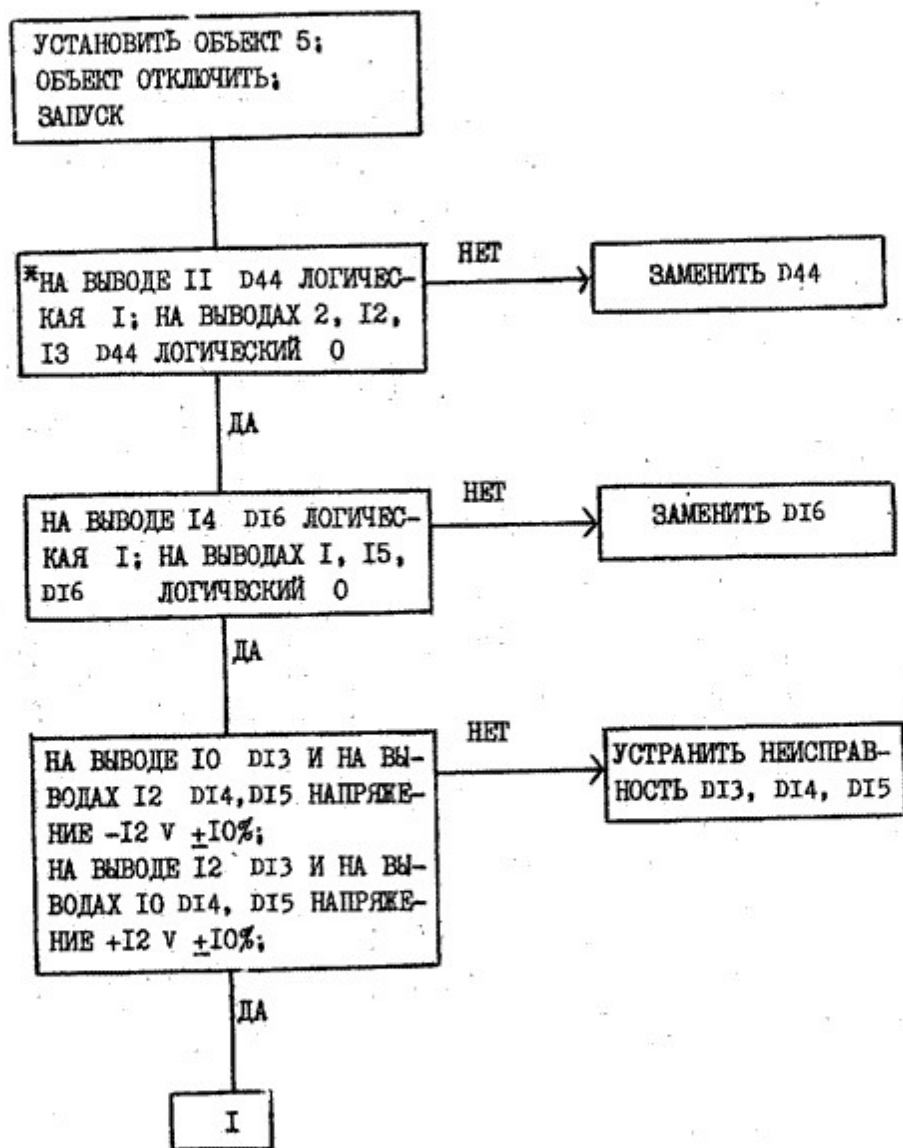
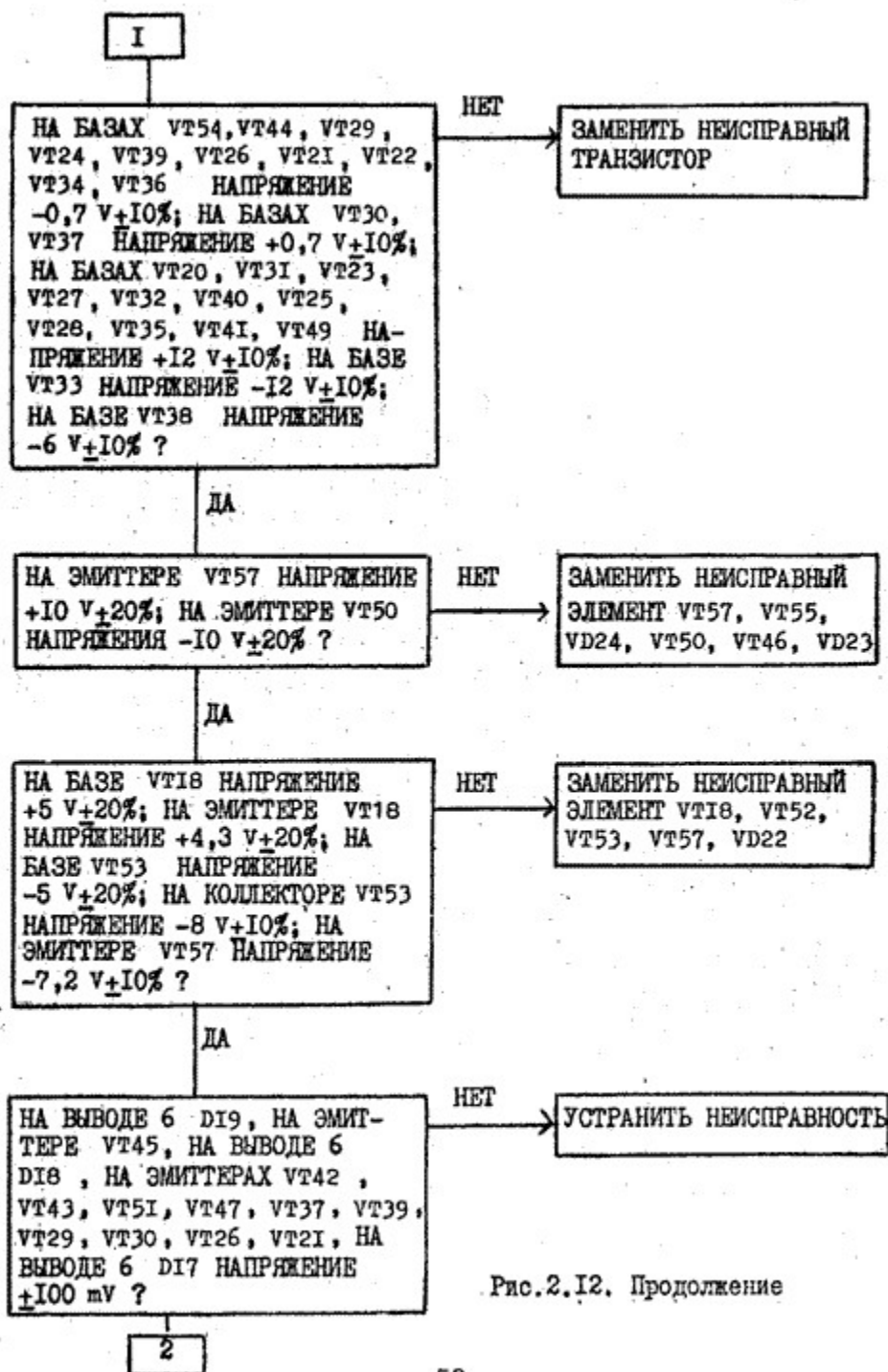


Рис.2.12



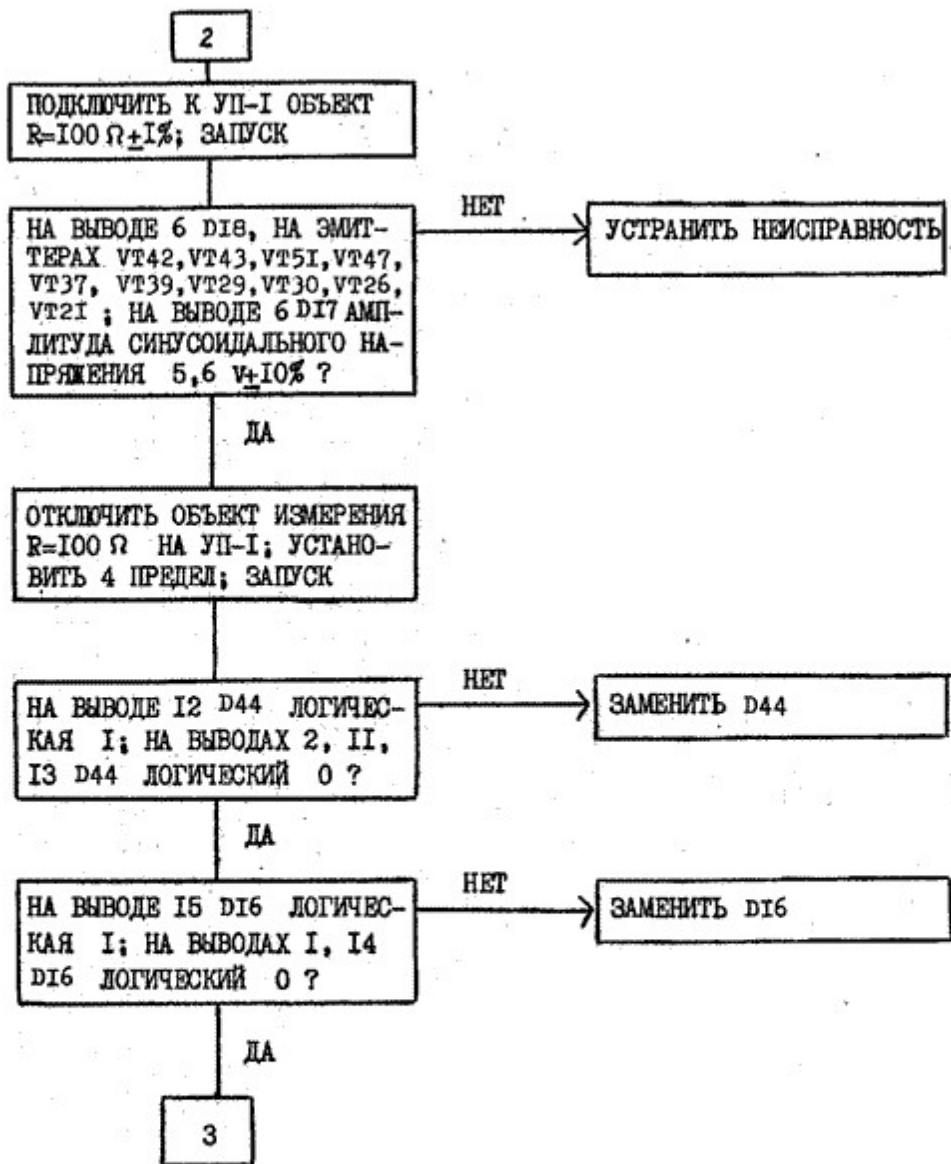


Рис.2.12. Продолжение

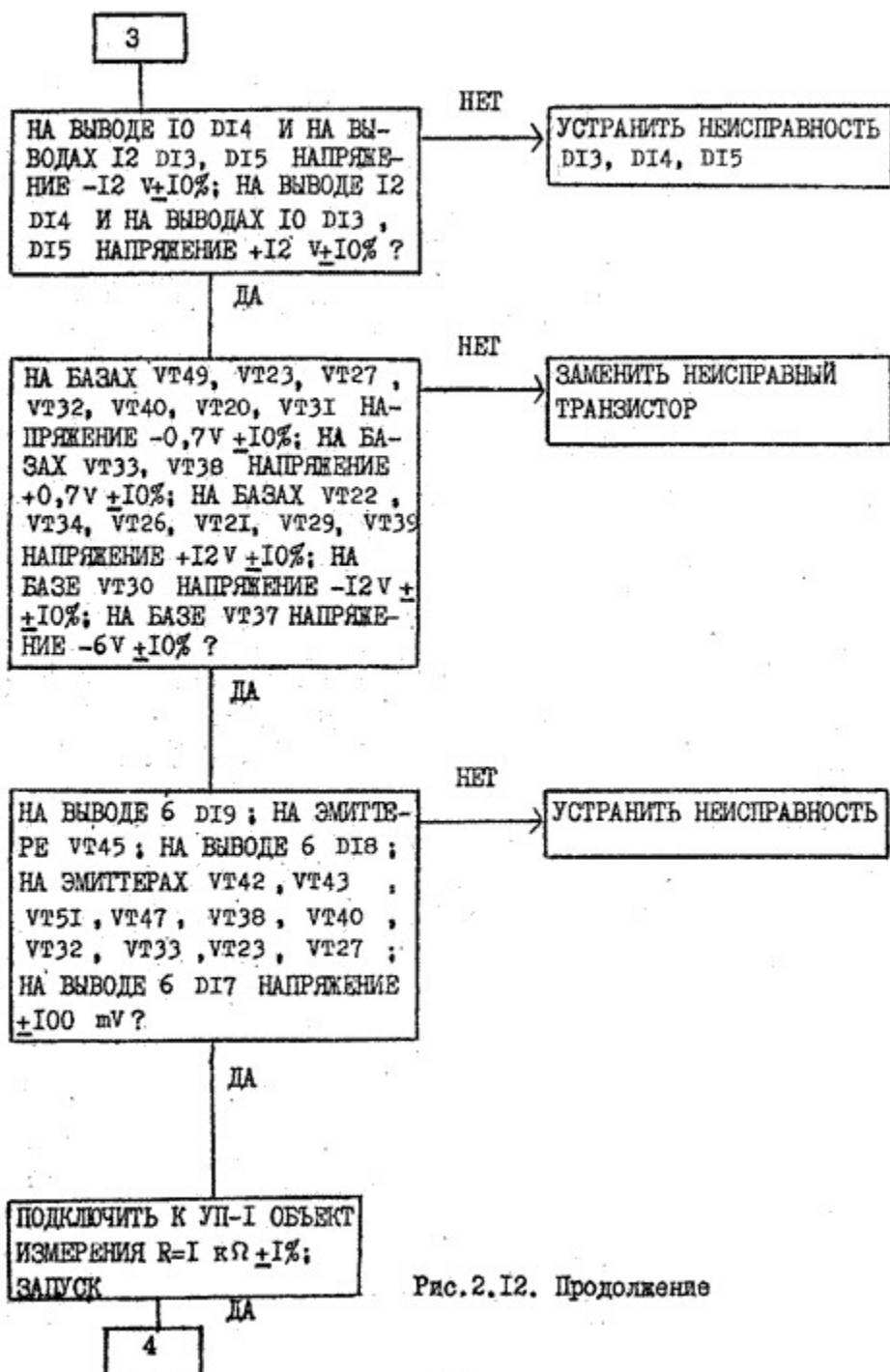


Рис. 2.12. Продолжение

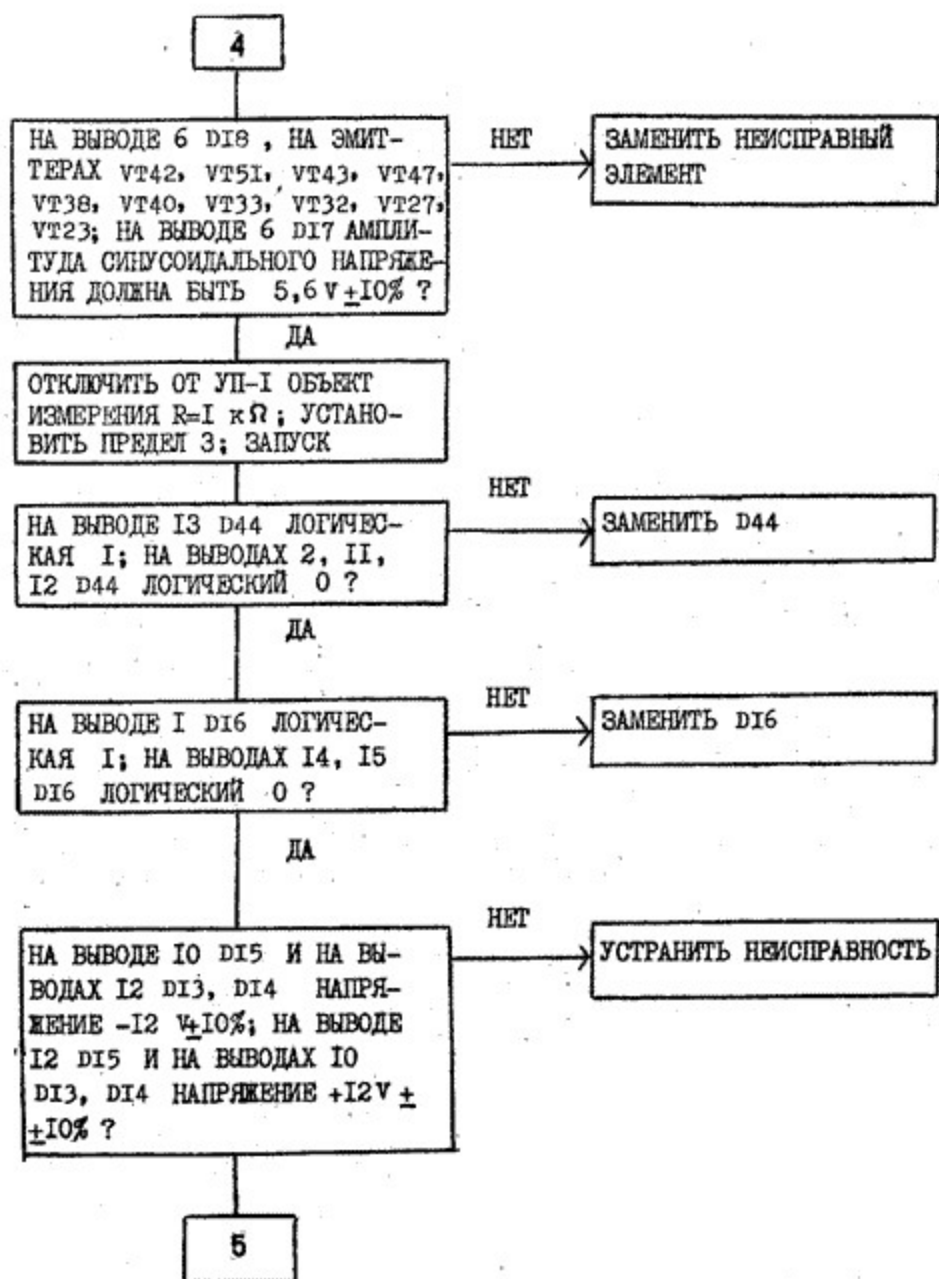
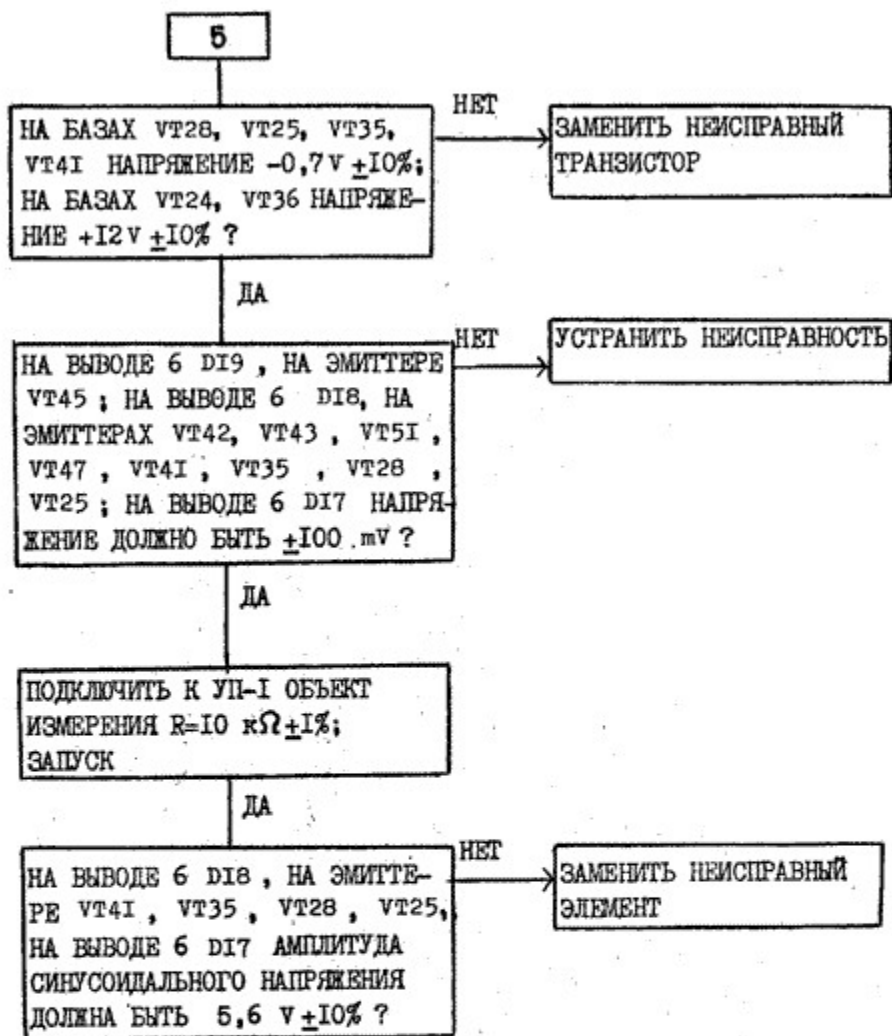


Рис.2.12. Продолжение



Примечание. После замены неисправного элемента провести проверку прибора в соответствии с разделом I5 2.724.013 ТО.

Рис.2.12. Продолжение

Алгоритм поиска неисправностей в узле источника смещения

Сигнатуры приведены в табл.2.14

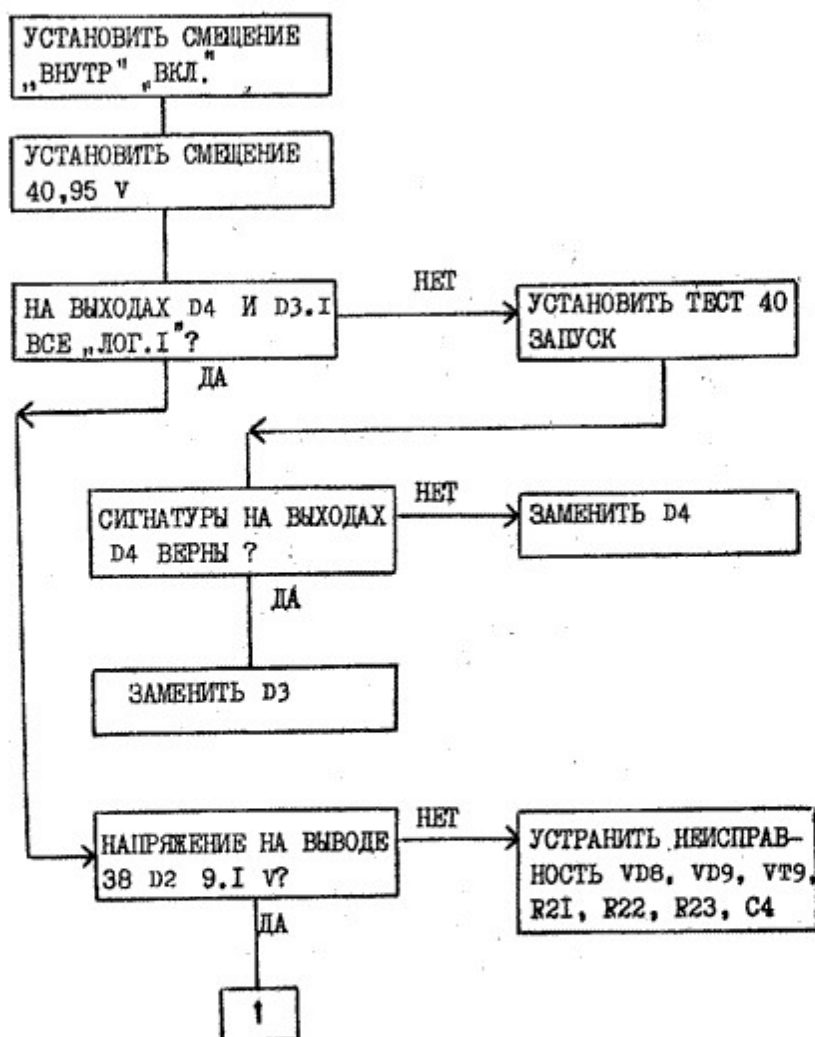


Рис.2.13

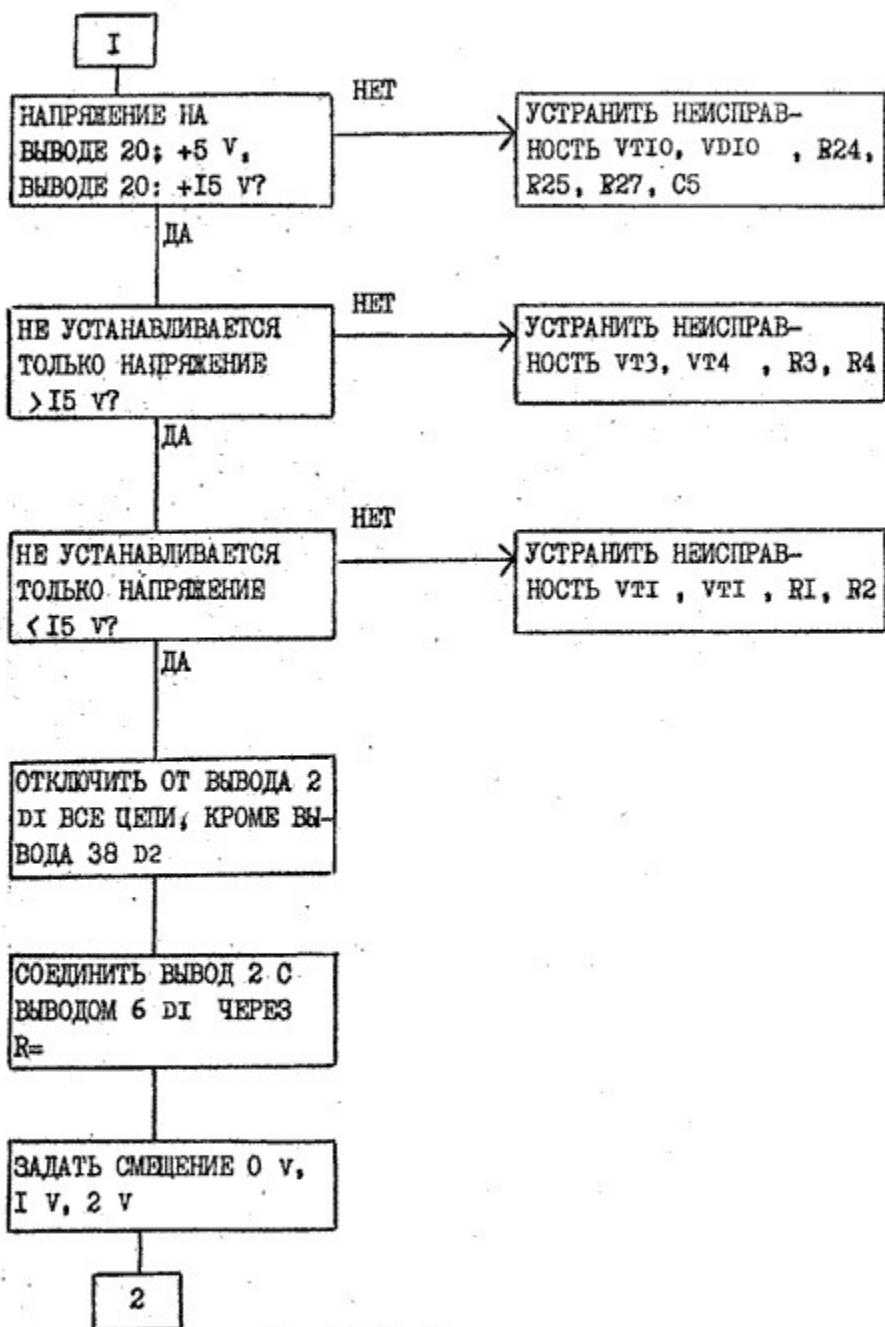


Рис.2.13. Продолжение

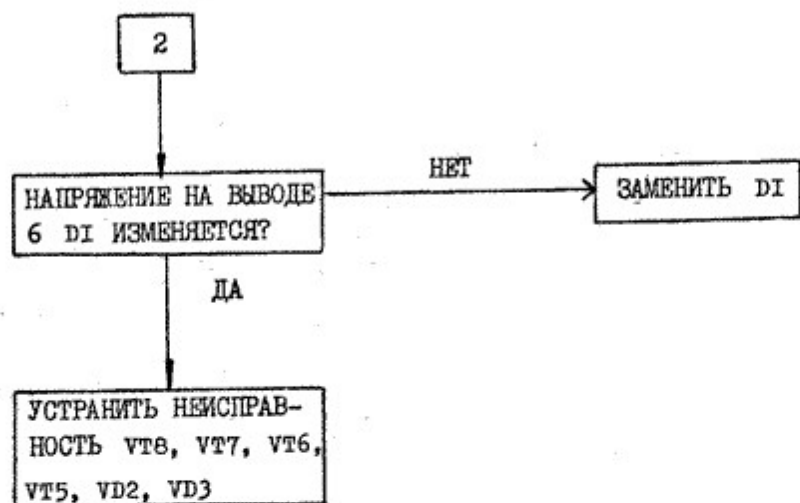


Рис.2.13. Продолжение

Конструктивно узлы клавиатуры и дисплея расположены на печатной плате блока управления 3.057.480. Остальные функциональные узлы логической секции расположены на печатной плате блока цифрового 3.031.148.

2.7.2. Распределение адресного пространства процессора приведено в табл.2.3.

Таблица 2.3

Шестнадцатеричный адрес	Устройство для команда	Функция
0-37FF	ПЗУ	Чтение
4000-4FFF	ОЗУ	Чтение-запись
8010	Порт 1 канал А	Запись, управление дисплеем Управление интегратором
8011	Порт 1 канал В	Чтение, ввод младшего байта результата интегрирования
8012	Порт 1 канал С	Чтение: старший полубайт Запись: младший полубайт, управление аналоговой секцией
8013	Порт 1 регистр управляющего слова (рус)	Запись: при инициализации Записывается 8АН
8014	Таймер, счетчик 0	Чтение/запись, счет старших байтов результата интегрирования
8015	Таймер, счетчик 1	Чтение/запись, 32-разрядный системный таймер (время интегрирования, время задержки)
8016	Таймер, счетчик 2	Запись; 30Н, 74Н, 82Н
8017	Таймер, рус	Чтение: чтение байта данных или команды
8018	Порт 2, канал А	Запись; вывод байта данных или байта состояния
8019	Порт 2, канал В	Чтение: младший полубайт Запись: старший полубайт
801A	Порт 2, канал С	Чтение: младший полубайт Запись: старший полубайт

Продолжение табл.2.3

Шестнадцатеричный адрес	Устройство или команда	Функция
801B	Порт 2, рус	Запись: 9IH
803C	Импульс выдачи 30 в КОП	Запись
8000	Сброс запроса прерывания от клавиатуры	Запись
8004	Сброс запроса прерывания при снятии ДУ КОП	Запись
8008	Сброс запроса прерывания при УП КОП или завершения обмена данными в КОП	Запись
800C	Сброс запроса прерывания при появлении ОИ КОП	Запись
C000	Синхронизация последовательного вывода данных в аналоговую секцию прибора	Запись
C020	Перезапись данных в регистры второй ступени аналоговой секции	
C040	Установка триггера готовности КОП	Запись
C060	Сброс триггера готовности КОП	Запись
C080	Сброс счетчика результата	
C0A0	Запись в ОЗУИ дисплея	Запись: ОЗУИ обслуживает семи-сегментные индикаторы

Шестнадцатеричный адрес	Устройство для команды	Функция
C0C0	Запись в ОЗУ2 дисплея	Запись: ОЗУ2 обслуживает одиночные светодиоды
CFFF	Буфер данных клавиатуры	Чтение кода кнопки

2.7.3. При включении питания прибора генератор тактовых импульсов начинает вырабатывать два импульсных тактовых сигнала, синхронизирующих работу центрального процессора, и выдает сигнал СЕРОС, который удерживает процессор в состоянии СЕРОС в течение более двух периодов тактовых импульсов. После снятия сигнала СЕРОС процессор начинает работать с чтения первого кода операции из нулевой ячейки ПЗУ. Фиксатор состояния выделяет состояния ПОДТВЕРЖДЕНИЕ ПРЕБЫВАНИЯ, ЦИКЛ ЗАПИСИ/ВЫВОДА.

Дешифратор памяти разделяет адресное пространство процессора на 4 блока: ПЗУ, ОЗУ, ввод/вывод 1 и 2 и вырабатывает сигналы управления ПЗУ ОЗУ и дешифратором ввода/вывода.

На плате имеется размыкатель шины данных. Он позволяет перевести процессор в режим "свободного пробега" для диагностирования. При разомкнутой шине данных в качестве первой и всех последующих команд на процессор поступает команда ANAD, что вызывает простой перебор адресов на шине адреса.

Управление ключами аналоговой секции прибора осуществляется через параллельный вывод данных в порт 1 и через последовательный вывод данных с шины данных в регистры ввода аналоговой секции. Управление синхронизацией последовательного ввода осуществляет стробируемый дешифратор ввода/вывода.

2.7.4. Расположение управляющих сигналов в регистрах последовательного вывода аналоговой секции приведено в табл.2.4.

Таблица 2.4

Бит ши- ны дан- ных	Бит регистра											
	II	IO	9	8	7	6	5	4	3	2	I	0
0	-	-	-	-	L	R2 (20K)	RI (2K)	RO (200)	-	P2	PI	PO
I	VII	VIO	V9	V8	V7	V6	V5	V4	V3	V2	VI	VO
2	-	-	-	-	-	-	-	-	-	N2	NI	NO

Кодирование информации осуществляется следующим образом:

частота 100 Hz $F = 0$

1 kHz $F = 1$

10 kHz $F = 3$

уровень сигнала: высокий $L = 1$

низкий $L = 0$

предельный резистор 200 Ω $R=1$

2 к Ω $R=2$

20 к Ω $R=4$

Смещение в вольтах равно $V/100$ (то есть для напряжения $U = 40,95$ V $V=4095$).

Номер ящика для разбраковки равен N

V, F, R, N - двоичные коды.

Расположение управляющих сигналов в разрядах каналов порта I приведено в табл.2.5.

Таблица 2.5

Канал	Бит							
	7	6	5	4	3	2	I	0
A	R/I	V_H/V_T	Z	I	T	WA2	WA1	WA0
C	-	-	-	-	E	R	$\#IO(2)$	$\#IO(1)$

R/I : лог.1 - устанавливает фазу опорного напряжения синхронного детектора интегратора на 0;
 Лог.0 - устанавливает фазу +90 град. ($+\pi/2$);
 V_N / V_T : лог.1 - подключает напряжение с выхода операционного усилителя напряжения ко входу масштабного усилителя;
 Лог.0 - подключает напряжение с выхода операционного усилителя тока ко входу масштабного усилителя;
 Z: Лог.1 - замыкает на корпус вход синхронного детектора;
 Лог.0 - соединяет вход синхронного детектора с выходом масштабного усилителя;
 I: Лог.1 - размыкает ключ сброса интегратора и подготавливает интегратор к работе;
 Лог.0 - замыкает ключ сброса интегратора;
 T: Лог.1 - разрешает работу системного таймера (счет времени интегрирования или задержки);
 Лог.0 - запрещает работу системного таймера;
 WA2 - W0 - двоичный код адреса записи в ОЗУ дисплея, используется при выводе информации на дисплей;
 E: лог.1 - разрешает запуск прибора от устройства разбраковки, информирует о готовности данных на выходе разъема РАЗБРАКОВКА;
 Лог.0 - запрещает запуск, информирует о занятости прибора и неистинности данных;
 R: Лог.1 - подключает калиброванный резистор к измерительной схеме прибора в качестве объекта измерения;
 Лог.0 - отключает калиброванный резистор;
 ж10(2) : лог.1 - включает усиление 10 во втором каскаде масштабного усилителя;
 Лог.0 - включает усиление 1;
 ж10(1) : лог.1 - включает усиление 10 в первом каскаде масштабного усилителя;
 Лог.0 - включает усиление 1.

Расположение данных в разрядах каналов порта I приведено в табл. 2.6.

Таблица 2.6

Канал	Бит							
	7	6	5	4	3	2	1	0
B	CN6	CN5	CN4	CN3	CN2	CN1	CN0	AE
C	SF	BF	-	TE	-	-	-	-

- CN6-CN0 - 6 младших бит результата интегрирования;
- AE: Лог.1 - указывает, что интегрирование не закончено;
Лог.0 - указывает, что интегрирование закончено;
- SF: Лог.1 - устройство разбраковки запускает измерение;
Лог.0 - нет запуска;
- BF: Лог.1 - смещение включено;
Лог.0 - смещение отключено;
- TE: Лог.1 - указывает, что таймер отработал заданное время;
Лог.0 - таймер не закончил счет.

2.7.5. Интерфейс интегратора содержит схему управления аналого-цифровым преобразователем и счетчик младшего байта результата интегрирования. Таймер содержит 3 независимых 16-разрядных двоичных счетчика, один из которых служит для счета старших байтов результата, а два других соединены каскадно и образуют 32-разрядный счетчик времени (системный таймер). Импульс заданной длительности на его выходе задает время интегрирования. Узел дисплея предназначен для отображения визуальной информации о результате измерения и режимах работы прибора и состоит из ОЗУ 8x12 бит, счетчика-сканера, дешифратора столбцов, буферных усилителей строк и столбцов и светодиодных индикаторов. ОЗУ дисплея использует два адреса из адресного пространства процессора и тем самым разделяется на две области. ОЗУ 1 используется в основном для отображения цифровой информации, ОЗУ 2 - для отображения режимов работы.

2.7.6. Структура данных ОЗУ дисплея приведена в табл.2.7.
Для высвечивания символа записывается лог.0.

Таблица 2.7

Бит	Адрес записи								
	0	1	2	3	4	5	6	7	
ОЗУ1	0	A	A	A	A	A	A	D	
	1	B	B	B	B	B	B	P	
	2	C	C	C	C	C	C	M	K
	3	D	D	D	D	D	D		H
	4	E	E	E	E	E	E		F
	5	F	F	F	F	F	F		S
	6	G	G	G	G	G	G		-
	7	H	H	H	H	H	H	-	-
ОЗУ2	0	L		ЗАП.	30	10 kHz	ТЕСТ	ПАРАЛЛ	
	1	C		ЗАП. I/C	ПРМ	0,01 v	ЭКВ.	ПОСЛЕД	
	2	R		НОРМ R/G	ПРД	2 v	СХЕМА	-	-
	3	D		УСРЕД Q	ДУ	1 kHz	ПРЕДЕЛ	0,1 kHz	

Примечание. А - Н - символы семисегментного кода,
-номер индикатора, считая слева.

Принцип семисегментного кодирования приведен на рис.2.15.

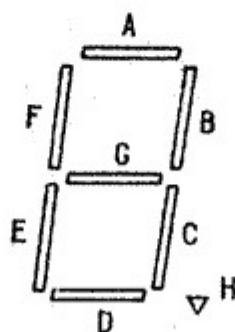


Рис.2.15

2.7.7. Узел клавиатуры предназначен для ввода информации в режимах работы прибора и состоит из клавиатуры передней панели, пульта управления, счетчика-сканера, дешифратора, фиксатора кода и буферного усилителя. Кодирование кнопок передней панели приведено в табл.2.8.

Таблица 2.8

Старший полубайт	Кнопки передней панели						
	Младший полубайт						
	8	9	A	B	C	D	E
1	L	ЗАП	R/G	L/C	ПОСЛЕД	XX	УРОВЕНЬ СИГНАЛА
2	R	УСРЕДНЕНИЕ	Q	ПРЕДЕЛ	ЭКВ.СХ.	ТЕСТ	ВНМ

Кодирование кнопок пульта управления приведено в табл.2.9.

Таблица 2.9

Старший полубайт	Кнопки передней панели							
	Младший полубайт							
	0	1	2	3	4	5	6	7
3	C	ЗАП	D		ПРЕДЕЛ	ПАРАЛЛ	КЗ	ЧАСТОТА
1	-	I	4	7	%		V	D
2	,	3	6	9	НОМ	K	M	P
3	0	2	5	8		M		

На вход счетчиков-сканеров дисплея и клавиатуры поступают тактовые импульсы с выхода делителя частоты 800 кГц на 696.

2.7.8. Узел КОП реализует следующие интерфейсные функции межприборного интерфейса по ГОСТ 26.003-80: СИ1, СП1, И5, П4, З1, ДМ1, СБ1, ЗП.

Узел КОП состоит из порта 2 связи с процессором, компаратора адреса, дешифратора интерфейсных сообщений, контроллера синхронизации обмена информацией, входных и выходных буферов шины КОП, мультиплексора ДАННЫЕ/КОМАНДА и триггера готовности.

Расположение команд и флагов в каналах порта 2 приведено в табл.2.10.

Таблица 2.10

Канал	Бит							
	7	6	5	4	3	2	1	0
A	СД	DI6	DI5	DI4	DI3	DI2	DI1	DI0
B	КП	DO6	DO5	DO4	DO3	DO2	DO1	DO0
C	РСI	РСФ	РАЗРЕШ	ДАННЫЕ	ОИ	ДУ	ТЦ	МАИ
			СБРОС ЗО КОМАНДА					

Вывод информации:

команда РС - (программный код состояния интерфейса)

Кодирует 4 состояния интерфейса:

00 - холостой ход (ХХД),

01 - прием (ПРМ),

02 - передача (ПРД),

03 - последовательный опрос (ПОП).

РАЗРЕШ/СБРОС ЗО при наличии лог.1 разрешает выдачу запроса обслуживания (ЗО) в КОП; при наличии лог.0 сбрасывает ЗО и запрещает выдачу.

ДАННЫЕ/КОМАНДА осуществляет управление мультиплексором.

КП при наличии лог.1 устанавливает низкий уровень в линии КОНЕЦ ПЕРЕДАЧИ.

DO6 - DO0 - 7 бит данных или байт состояния, выдаются в КОП при передаче.

Ввод информации:

ОИ: при лог.1 указывает на наличие сигнала ОЧИСТИТЬ ИНТЕРФЕЙС.

ДУ: при лог.1 указывает на наличие сигнала ДИСТАНЦИОННОЕ УПРАВЛЕНИЕ.

ТЦД: при лог.1 указывает на установленный режим ТОЛЬКО ПЕРЕДАВАТЬ.

МАИ: при лог.1 указывает, что прибор был адресован на передачу в последовательном опросе последним.

СД: при лог.1 указывает, что данные, установленные на шине данных КОП, истинны.

DI6 - DIO : 7 бит данных или полная интерфейсная команда.

УП: при лог.1 указывает, что контроллер КОП передает интерфейсную команду.

IC2 - IC0: частично дешифрованная интерфейсная команда.

Все команды кодируются дешифратором интерфейсных сообщений на 8 групп. Размещение интерфейсных команд по группам приведено в табл.2.II.

Таблица 2.II

IC	Мнемоника	Примечание
0	ГУК	Группа универсальных команд
	СБУ, ЗГМ	Требуется дальнейшая дешифрация
1	МАП	МОЙ АДРЕС ПРИЕМНИКА; прибор адресуется на прием. РС=1 (ПРМ)
2	МАИ	МОЙ АДРЕС ИСТОЧНИКА; прибор адресуется на передачу. РС=2 (ПРД)
3	ОПО	ОТКРЫТЬ ПОСЛЕДОВАТЕЛЬНЫЙ ОПРОС: РС=3 (ПОП) запрещается выдавать команду 30 подготавливается байт состояния
4	ДАП	ДРУГИЕ АДРЕСА ПРИЕМНИКОВ; эта команда обрабатывается внутри узла КОП и не вызывает прерывания работы процессора; синхронизация осуществляется аппаратно
5	ДАИ	ДРУГОЙ АДРЕС ИСТОЧНИКА; если РС=2, то происходит переход в состояние РС=0; если прибор не был передатчиком, то команда обрабатывается внутри узла КОП, прерывание не возникает, синхронизация осуществляется аппаратно

IC	Мнемоника	Примечание
6	ГУК: ПНМ ЗАП.У СБА НПМ	ГРУППА АДРЕСНЫХ КОМАНД; прерывание работы процессора возможно при адресованном на прием приборе; требуется дальнейшая дешифрация
7	ЗПО	ЗАПИРАНИЕ ПОСЛЕДОВАТЕЛЬНОГО ОПРОСА По этой команде требуется, используя флаг МАИ, перейти либо к передаче данных, либо в холостой ход интерфейса

Дешифратор интерфейсных сообщений вырабатывает код IC на основе данных с шины КОП и бита СВОЙ/ЧУЖОЙ, приходящего с компаратора адреса.

Выработку сигналов синхронизации обмена данными осуществляет специальное ПЗУ, использующее информацию с шины управления КОП, программный код РС, интерфейсную команду IC и сигнал с триггера готовности, который может быть программно и установлен, и сброшен программно или аппаратно.

ПЗУ синхронизации вырабатывает следующие сигналы:

- Бит 0: сброс ЗО; производится при последовательном опросе;
- Бит 1: прерывание УП; прерывание при наличии новой интерфейсной команды; прерывание при истинных данных при приеме; прерывание при подтверждении принятия данных при передаче;
- Бит 2: передача; управляет буфером выдачи данных;
- Бит 3: установка триггера сопровождения данных;
- Бит 4: данные приняты;
- Бит 5: готов к приему;
- Бит 6: сброс триггера сопровождения данных;
- Бит 7: фиксация состояния МАИ.

Узел обработки прерываний состоит из фиксатора запросов с логикой выдачи общего прерывания и буфера выдачи вектора рестарта (RST). Обращаются 4 запроса на прерывание, приведенные ниже, в порядке возрастания приоритета.

Прерывание от клавиатуры (RST4) появляется при нажатии кнопки на передней панели прибора или на пульте управления.

Прерывание от КОП при снятии ДУ (RST4).

Прерывание от КОП при появлении УП, СД или ДП (RST5).

Прерывание от КОП при появлении ОИ (RST6, RST7).

Узел разбраковки включает триггер фиксации внешнего запуска и стробируемый дешифратор номера ящика (зоны).

2.8. Схема электрическая принципиальная цифрового блока 3.03I.I48 ЭЗ

2.8.1. Микропроцессор

2.8.1.1. Тактовый генератор, выполненный на микросхеме D60 , вырабатывает импульсные сигналы $\Phi 1$ и $\Phi 2$, обеспечивает работу микропроцессора D48 , а также сигналы СБРОС и ГОТОВНОСТЬ.

Длительность сигнала СБРОС при включении питания задана конденсатором C40 и резистором R108, диод VD17 предназначен для быстрого разряда конденсатора C40 при выключении прибора.

Частота тактовых импульсов $\Phi 1$, $\Phi 2$ задается кварцевым резонатором В1, может быть подстроена конденсатором C49 и определяется по формуле

$$F_{\Phi 1} = F_{\Phi 2} = F_{\text{в}} / 9 \quad (1)$$

Сигнал ГОТОВНОСТЬ вырабатывается в том случае, если осуществляется запись в память. Это состояние фиксируется триггером D68.1 . Сброс триггера осуществляется сигналом ОЖИДАНИЕ, вырабатываемым микропроцессором (D48:24).

На микросхеме D67 выполнен делитель частоты, на выходе которого получается частота 800 кГц для генератора сигнала аналогового блока и счетные импульсы для таймера D32 .

Фиксатор состояния микропроцессора выполнен на двух триггерах D49 . Он вырабатывает сигналы ПОДТВЕРЖДЕНИЕ ПРЕРЫВАНИЯ (D49:5) и ЧТЕНИЕ/ЗАПИСЬ (D49:5).

Первый сигнал запирает дешифратор памяти и разрешает задачу сигнала ЧТЕНИЕ ВЕКТОРА РЕСТАРТА с D43 :3.

Сигнал ЧТЕНИЕ/ЗАПИСЬ (D49:3) управляет режимом работы ОЗУ. Фиксация состояния производится по сигналу СТРОБ, приходящему от генератора тактов (D60:7).

Буферные усилители адреса D54, D55 выполнены на основе схем ТТЛ с открытым коллекторным выходом и обеспечивают усиление адресных сигналов, вырабатываемых микропроцессором (младшие 12 бит шины адреса).

Дешифратор D41 производит разбиение памяти микропроцессора на 4 блока: ПЗУ (вывод 7), ОЗУ (вывод 6), ввод/вывод I (вывод 5), ввод/вывод 2 (вывод 4). Дешифратор запирается на время обработки прерываний.

Дешифратор D47 управляет выборкой кристалла одной из 7 микросхем ПЗУ. Этот дешифратор строится сигналом с вывода D41:7 и сигналом ВВОД С ШИНЫ, вырабатываемым микропроцессором.

Вентильми D43 распределяются сигналы ВВОД С ШИНЫ и ЗАПИСЬ по блокам.

С выхода 6 микросхемы D44 снимается сигнал выборки кристалла микросхем ОУ. Этот сигнал объединяет сигналы ВВОД С ШИНЫ и ЗАПИСЬ.

С выхода 8 D44 снимается сигнал ЧТЕНИЕ КЛАВИАТУРЫ, поступающий в блок управления для отпираания буфера данных клавиатуры.

На транзисторе VT2 собран эмиттерный повторитель, обеспечивающий питанием +12 В кристалл микропроцессора.

2.8.2. Узел памяти

2.8.2.1. Оперативное запоминающее устройство объемом 4096x8 бит выполнено на микросхемах ОЗУ D58, D59, D63...D66, D71, D72 структуры 4096x1 бит.

2.8.2.2. Постоянное запоминающее устройство объемом 14К байт выполнено на семи микросхемах D61, D56, D69, D50, D70, D62, D57 (ПЗУ0-ПЗУ6 соответственно), объемом 2048x8 бит каждая. Особенностью ПЗУ является импульсное питание микросхем, осуществляемое через транзисторные ключи D51, D52. Включение питания какой-либо микросхемы ПЗУ происходит при появлении сигнала ВЫБОР КРИСТАЛЛА с выходов дешифратора D47.

2.8.3. Дешифратор ввода/вывода, узел управления ключами аналоговой секции, узел обработки прерывания

2.8.3.1. Дешифратор ввода/вывода управляющей выборочной кристаллов портов и таймера собран на микросхеме D12. Выходы A0-A2 этой микросхемы служат для управления портом 1 (D38), таймером (D32) и портом 2 (D35). Выход A3 управляет выдачей в КОП сигнала ЗАПРОС НА ОБСЛУЖИВАНИЕ.

Стробируемый дешифратор D19 вырабатывает импульсные команды управления. Стробирующим сигналом служит сигнал ЗАПИСЬ В УСТРОЙСТВО ВВОДА/ВЫВОДА 2 с выхода микросхемы D43. Описание команд приведено в табл.2.3.

2.8.3.2. Для управления ключами аналоговой секции, управления таймером и чтения данных используется параллельный порт. I D38, используемый в режиме 0 как на ввод, так и на вывод. Описание команд и данных каналов A, B и C порта I приведено в табл.2.5 и табл.2.6.

Таймер выполнен на микросхеме D32. Счетчик 0 запрограммирован в режиме 0 и служит счетчиком результата. На его тактовый вход (вывод 9) поступают импульсы с выхода счетчика младшего байта результата (D30).

Счетчик I запрограммирован в режиме 2, счетчик 2 - в режиме 0. Выход переполнения счетчика I соединен с тактовым входом счетчика 2. Каскадное соединение счетчиков выполняет функцию системного таймера. На тактовый вход счетчика I поступают импульсы частоты 800 кГц с делителя частоты D67. Время, отсчитываемое системным таймером, равное времени нахождения выхода счетчика 2 (D32 : I7) в состоянии лог.0, рассчитывается по формуле

$$T = N1 \cdot N2 / F \quad (2)$$

где N1 - код, записываемый в счетчик I;
N2 - код, записываемый в счетчик 2;
F - 800 кГц.

Интерфейс интегратора содержит триггер фиксации конца преобразователя D37.2, схему синхронизации быстрого разряда D17, D16, схему синхронизации медленного разряда D10, D16 и счетчик младшего байта результата D24, D30 со схемой суммирования импульсов D16.2, D23.6.

Временная диаграмма работы интерфейса приведена на рис.2.16 и рис.2.17.

Запуск интегрирования производится по программе установкой сигналов I и T на выводах D38:40 и D38:I соответственно. Сигнал I вызывает разблокировку интегратора, подготавливая его работу. Сигнал T разрешает работу таймера, который предварительно загружается кодом необходимого временного интервала.

Интегрирование начинается в момент появления на выходе таймера (D38:I7) уровня лог.0. Этот сигнал, пройдя через селектор временного интервала D31:I и D23.4, поступает в аналоговую секцию и подключает измеряемое напряжение ко входу интегратора.

В тот момент, когда напряжение на выходе интегратора достигнет порога срабатывания компаратора быстрого разряда, на разъем XI:15 и на вход DI6:2 поступает уровень лог.0. Один из таких моментов обозначен на рис.2.16 символом 0 и более подробно показан на рис.2.17. Сигнал ПУСК БЫСТРОГО РАЗРЯДА, вырабатываемый триггером DI7.2, появляется в момент, определяемый временным положением синхроимпульса, в результате чего количество импульсов, поступивших на вход счетчика импульсов быстрого разряда DI6.2, D23.6, D30, D32 через микросхему DI6.4, строго соответствует разряду, накопленному на конденсаторе интегратора. Аналогичным образом проводится синхронизация сигнала пуска медленного разряда. После того, как сигнал ПУСК БЫСТРОГО РАЗРЯДА (XI:4) включит разрядный ток в интеграторе, напряжение на выходе последнего станет изменяться в противоположную сторону до тех пор, пока не достигнет порога отключения компаратора быстрого разряда. Остановка разряда производится так же синхронно, как и пуск.

Циклы быстрого разряда интегратора повторяются до тех пор, пока не кончится время интегрирования. При появлении лог.1 на выходе таймера срабатывает триггер DI7.1 и выдает сигнал принудительной установки сигнала ПУСК БЫСТРОГО РАЗРЯДА. В то же время измеряемый сигнал отключается от интегратора. В результате напряжение на выходе интегратора начинает изменяться с большой скоростью. В тот момент, когда напряжение интегратора достигнет порога срабатывания компаратора медленного разряда, на контакте XI:17 появляется уровень лог.1. Этот сигнал осуществляет сброс триггера DI7.1, отключение сигнала ПУСК БЫСТРОГО РАЗРЯДА и установку триггера DI0.1.

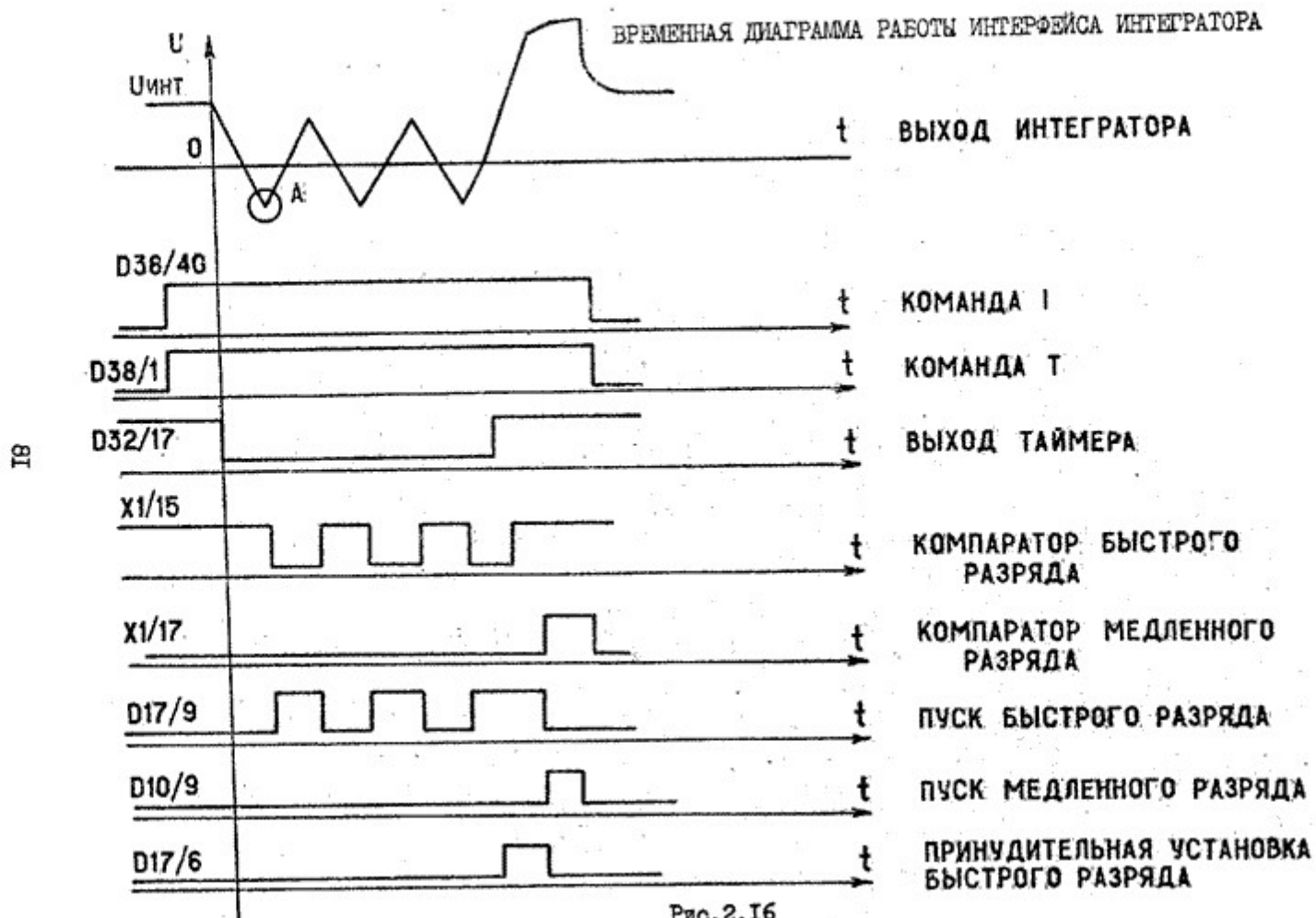


Рис. 2.16

ВРЕМЕННАЯ ДИАГРАММА СИНХРОНИЗАЦИИ РАЗРЯДА ИНТЕГРАТОРА

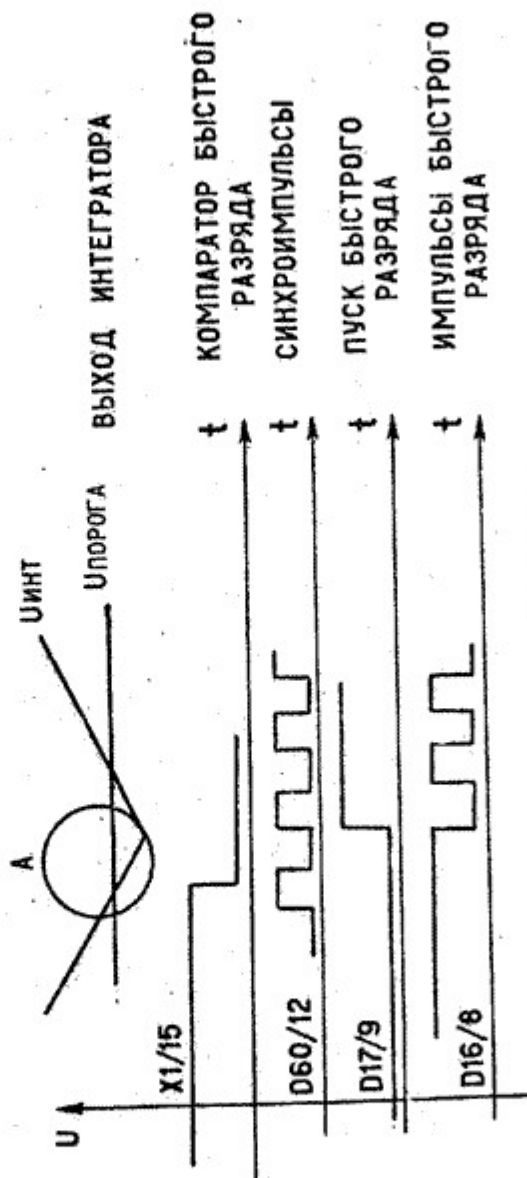


Рис. 2.17

Синхронизированный сигнал ПУСК МЕДЛЕННОГО РАЗРЯДА с выхода 8 триггера D10.2 поступает в интегратор и скорость изменения его выходного напряжения уменьшается ровно в 16 раз. Счетные импульсы медленного разряда с выхода D16 :6 поступают в счетчик импульсов медленного разряда D24 , имеющий емкость 16 импульсов. Импульсы переполнения D24 поступают на второй вход счетчика быстрого разряда D16.2 , D23.6 , D30 , D32 .

Напряжение интегратора достигает порога срабатывания компаратора конца преобразования. На контакте XI:19 появляется уровень лог.1, его фронт устанавливает триггер D37.2 фиксации конца преобразования и через схему D31.3 вызывает сброс триггера D10.1 и отключение сигнала ПУСК МЕДЛЕННОГО РАЗРЯДА.

С выхода D37 :5 на вход D38:18 поступает сигнал готовности результата интегрирования. При получении этого сигнала производится отключение сигналов I и T. Отключение сигнала I вызывает срабатывание ключа разряда конденсатора интегратора, производится сброс напряжения интегратора до исходного уровня.

Младший байт результата интегрирования находится в счетчиках D24 , D30 , а два старших байта результата - в счетчик 0 микросхемы D32 .

После записи результата интегрирования в ОЗУ прибора производится сброс счетчиков результата сигналом с выхода D19 :II стробируемого дешифратора ввода/вывода.

2.8.3.3. Узел обработки прерываний включает в себя фиксатор запросов на триггерах D11, D18 , логику выдачи общего прерывания на микросхемах D25 , D23.1 , D68.2 , буфер выдачи вектора рестарта на микросхемах D26 , D53 .

Кодирование векторов рестарта осуществляется с выхода микросхемы D18 (запросы высшего приоритета) и тем самым определяют 4 вектора, два из которых RST7 и RST6 отданы под обработку прерывания высшего приоритета (ОИ КОП). Вектор RST5 - обработка ЦИ КОП, вектор RST4 - для обработки прерываний низшего приоритета: от клавиатуры и от сигнала ДУ КОП (разделение производится программно).

Сброс запросов прерывания осуществляется при помощи активизация выходов 9-12 микросхемы D12 .

Выдача сигнала прерывания происходит в том случае, если установлен хотя бы один из триггеров запросов и имеется уровень лог.1 на выводе D48:16 (разрешение прерывания). При этом устанавливается в I триггер D68.2 и сигнал ПЕРЕРЫВАНИЕ поступает в микропроцессор. Сброс триггера D38.2 осуществляется сигналом ЧТЕНИЕ ВЕКТОРА РЕСТАРТА с вывода D43 :3.

2.8.4. КОП

2.8.4.1. Порт.2 связи с процессором выполнен на микросхеме D35. Расположение команд и данных в линиях порта приведено в табл.2.10. Мультиплексор ДАННЫЕ/КОМАНДЫ D36 расширяет возможность ввода для 4 младших бит канала А.

Управление мультиплексором производится сигналом ДАННЫЕ/КОМАНДЫ с вывода D35 :13.

Компаратор адреса выполнен на микросхемах D20 , D27 . Сравнение данных с шины данных КОП и с переключателя адреса прибора в КОП производится непрерывно. Компаратор вырабатывает сигнал СВОЙ/ЧУЖОЙ на выходе D20 :6. Этот сигнал обрабатывается дешифратором интерфейсных команд D22 . Кодирование команд приведено в табл.2.11. Дешифратор D22 непрерывно кодирует данные с шины данных КОП, но интерфейсные команды проходят по шине только при наличии истинных сигналов УП и СД. Для выделения команд из общего потока данных выходная информация с микросхемы D22 запоминается в регистре D29 по синхросигналу, вырабатываемому микросхемой D21.1 из сигналов УП и СД.

Все интерфейсные команды закодированы в 8 групп с помощью трех бит (D29:13, D29:12, D29:11). Четвертый бит (D29:10) устанавливается в лог.1 при передаче адреса своего передатчика (МАИ) и служит для фиксации состояния адресации на передачу.

Выходные буферы шины данных выполнены на микросхемах D46 , D34.2 . Управление выдачей данных осуществляется сигналом ПЕРЕДАЧА с вывода D28:11 ПЗУ синхронизации. Активизируется 7 младших бит шины данных. Восьмой бит не используется для передачи. Его состояние при приеме данных в ЭВМ соответствует лог.0. Выходные буферы шины управления выполнены на микросхемах D34.1 (сигнал 30) и D40 (сигналы СД, ГП и ДП и КП).

Входные буферы выполнены на микросхемах D33 , D39 , D45 , представляющих собой гистерезисные схемы (триггеры Шмитта). Это позволяет улучшить помехоустойчивость при приеме.

Контроллер синхронизации обмена информацией выполнен на микросхемах D14, D28, D7, D21. Одновибратор D14 вырабатывает 2 сигнала T1 и T2. Сигнал T1 обеспечивает быструю реакцию на появление сигнала УП, сигнал T2 - на снятие сигнала УП или появление сигнала ОИ (D2.4).

Коммутатор сигналов, собранный на микросхемах D21.2, D21.3, D7, переключает сигналы СД и ГП на входе микросхемы D28 (ПЗУ синхронизации).

На входы ПЗУ синхронизации поступают следующие сигналы:

- A0 - сигнал ДП шины управления КОП;
- A1 - ГП/СД; сигнал СД поступает, если прибор - передатчик;
- A2 - сигнал УП;
- A3 - сигнал T2 с одновибратора;
- A4 - сигнал T1 с одновибратора;
- A5 - A7 - код интерфейсной команды IC;
- A8, A9 - программный код PC состояния интерфейса;
- A10 - сигнал ГОТОВ с триггера готовности D15.

Установка и сброс триггера готовности осуществляется программно, сброс - программно или аппаратно.

ПЗУ синхронизации вырабатывает следующие выходные сигналы:

Бит 0 - сигнал сброса запроса обслуживания (СБЗО)
 $СБЗО = УП \cdot ПОП \cdot МАИ$ (3)

Бит 1 - сигнал ПРЕРЫВАНИЕ (ПРВ)
 $ПРВ = T1' \cdot T2' \cdot УП \cdot IRE \cdot СД + УП' \cdot (ПРМ \cdot СД + ПРД \cdot ДП)$ (4)

где $IRE = ГУК + МАП + ЗНО + ХХД \cdot (МАИ + ОПО) + ПРД (ДАИ + ОПО) + ПРД (ДАИ + ОПО) + ПРМ (МАИ + ГАК + ОПО)$ (5)

Бит 2 - сигнал ПЕРЕДАЧА (ПЕР)
 $ПЕР = T1' \cdot УП' \cdot (ПРД + ПОП \cdot МАИ)$ (6)

Бит 3 - сигнал УСТАНОВКА ТРИГГЕРА СД (УСД)
 $УСД = T1' \cdot T2' \cdot УП' \cdot ДП \cdot СД' \cdot (ГОТ' \cdot ПРД + ПОП \cdot МАИ)$ (7)

Бит 4 - сигнал ПРИБОР ДАННЫЕ ПРИНЯЛ (ПДП):
 $ПДП = T1' \cdot T2' \cdot [УП (IRE' + ГОТ) СД + УП' (ПРМ + ГОТ \cdot СД)] + T2 \cdot ПРМ$ (8)

Бит 5 - сигнал ГОТОВ К ПРИЕМУ (ГП)
 $ССД = T1 + T1' \cdot T2' \cdot УП' \cdot СД (ГОТ \cdot ПРД + ПОП \cdot МАИ) + T2 (ХХД + ПРМ)$ (9)

Бит 6 - сигнал сброса СД (ССД)
 $ССД = T1 + T1' \cdot T2' \cdot УП' \cdot СД (ГОТ \cdot ПРД + ПОП \cdot МАИ) + T2 (ХХД + ПРМ)$ (10)

Бит 7 - сигнал фиксации адресации (ФАД)
 $ФАД = УП \cdot СД \cdot (МАИ + ДАИ + МАП)$ (11)

На микросхеме D13.1 собран триггер фиксации запроса обслуживания, который может быть установлен программно, сброшен программно или аппаратно (сигналом СБРОС 30 от D28). Сигнал 30 с выхода D13 :9 через буферный усилитель D34.1 поступает на соответствующую линию КОП.

Схема формирования сигнала СД собрана на триггере D13 (вывод 5). Установка и сброс триггера СД производится аппаратно по сигналам УСД и ССД микросхемы D28.

2.8.4.2. Обработка интерфейсных команд

На рис.2.18 показан график перехода состояний интерфейса по результатам обработки интерфейсных команд.

График перехода состояний интерфейса по результатам обработки интерфейсных команд

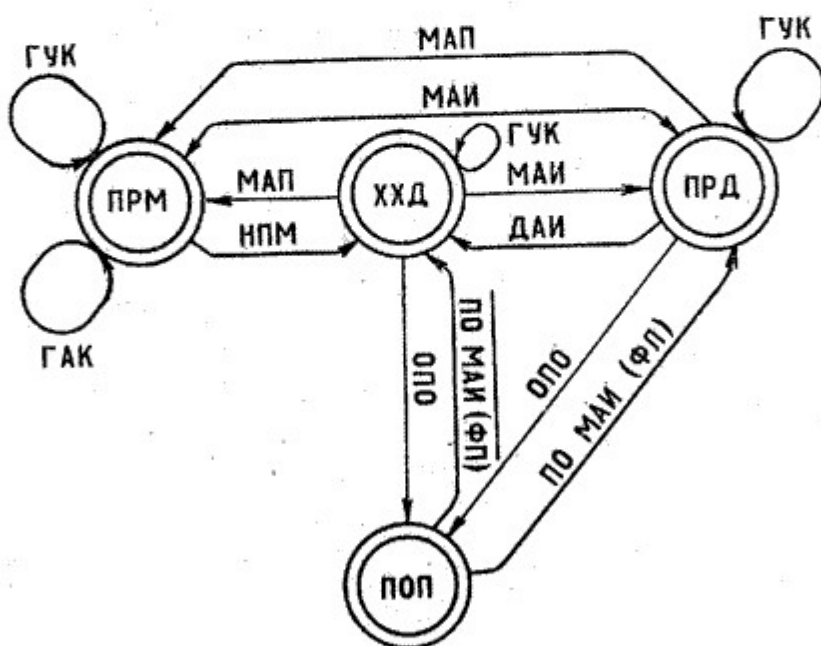


Рис. 2.18

Интерфейсные команды передаются только при наличии истинного сигнала УП в линии КОП. Появление интерфейсной команды, которая может обрабатываться в данном состоянии интерфейса (в соответствии с внутренней функцией IRE), вызывает сигнал ПЕРЕРЫВАНИЕ (вектор рестарта RST5). Все интерфейсные команды разбиты на 8 групп, и только две из них ГУК и ГАК содержат более одной команды и требуют информации большей, чем содержится в трех битах команды IC.

Группа универсальных команд (ГУК) включает две команды СБУ и ЗПМ, а группа адресных команд (ГАК) — четыре: НПМ, ПММ, ЗАП и СБА.

Если через интерфейс проходят команды из этих групп, то для чтения полного байта команды устанавливается в лог.1 сигнал ДАННЫЕ/КОМАНДЫ. Все интерфейсные команды, вызвавшие пребывание, требуют со стороны процессора определенных действий по отношению к узлу КОП. Эти действия заключаются в смене программного кода РС и установки/сброса триггера готовности. При смене РС (переход по стрелке на рис.2.1) установка и сброс триггера готовности не производится. Если состояние интерфейса не изменяется, то триггер готовности сначала устанавливается, а затем, если снят сигнал СД, сбрасывается.

Если через интерфейс КОП проходит интерфейсная команда, которая не вызывает прерывания, то синхронизацию приема команды осуществляет контроллер синхронизации без участия программных средств. Такие команды не могут вызвать никаких изменений в состоянии прибора (например — чужие адреса приемников).

2.8.4.3. Прием байта данных осуществляется после адресации прибора на прием и снятия сигнала УП.

Появление истинного сигнала СД в КОП вызывает сигнал ПЕРЕРЫВАНИЕ (вектор рестарта RST5), вырабатываемый микросхемой D28. Это означает, что новый байт данных доступен к чтению его через канал А порта 2.

Устанавливается лог.1 сигнала ДАННЫЕ/КОМАНДЫ, и байт данных запоминается в ОЗУ прибора. Затем происходит установка триггера готовности и ожидание снятия сигнала СД, после чего производится сброс триггера готовности. Прием второго и последующих байтов данных выполняется аналогично.

2.8.4.4. Передача данных производится после адресации прибора на передачу и снятия сигнала УП.

Во время адресации на передачу (обработка команды МАИ) в канал В порта выдается первый байт формата выводимых данных. После снятия сигнала УП наш передатчик становится активным, микросхема D28 вырабатывает сигнал ПЕРЕДАЧА и открывается буфер D34.2, D46. Данные поступают на шину КОП. Задержка выдачи сигнала СД будет равна длительности импульса T2, вырабатываемого одновибратором D14, но сигнал СД появится не ранее, чем истинное ГП в шине КОП. Сигнал ПЕРЕРЫВАНИЕ с выхода микросхемы D28 означает, что данные приняты. Производится установка триггера готовности, вывод нового байта в канал В порта 2 и затем осуществляется сброс триггера готовности. При выдаче в канал В последнего байта формата в старшем бите устанавливается лог.1 и в шину КОП будет выдаваться сигнал КП.

2.8.4.5. Последовательный опрос

Особенность цикла последовательного опроса заключается в том, что адресация на передачу и выдача в шину КОП байта состояния происходит аппаратно, не вызывая прерывания работы процессора. Байт состояния помещается в канал В порта 2 заранее. Адресация на передачу СИНХРОНИЗАЦИЯ ВЫДАЧИ БАЙТА СОСТОЯНИЯ в шину КОП осуществляется контроллером синхронизации.

2.8.5. Узел разбраковки

2.8.5.1. Узел разбраковки включает в себя триггер фиксации внешнего запуска и стробируемый дешифратор D6. Стробирование производится путем подачи уровня лог.0 вход D6:12. Используются только младшие 8 выходов двоичнодесятичного дешифратора.

Временная диаграмма работы узла разбраковки приведена на рис.2.19.

Сигнал ПУСК от устройства загрузки элементов приходит только после того, как на выходе ГОТОВ прибор установит уровень лог.1. Переход из состояния лог.1 в лог.0 сигнала ПУСК устанавливает лог.1 на выходе 9 триггера внешнего запуска D8.1.

Этот триггер периодически опрашивается и, если обнаруживается уровень лог.1, то производится установка лог.0 сигнала ГОТОВ, который сбрасывает триггер. Затем производится измерение и результат разбраковки (номер ящика) через последовательный вывод информации попадает на вход дешифратора D6. Активный уровень лог.0 на выходе дешифратора устанавливается после установки лог.1 сигнала ГОТОВ.

Временная диаграмма работы узла разбраковки

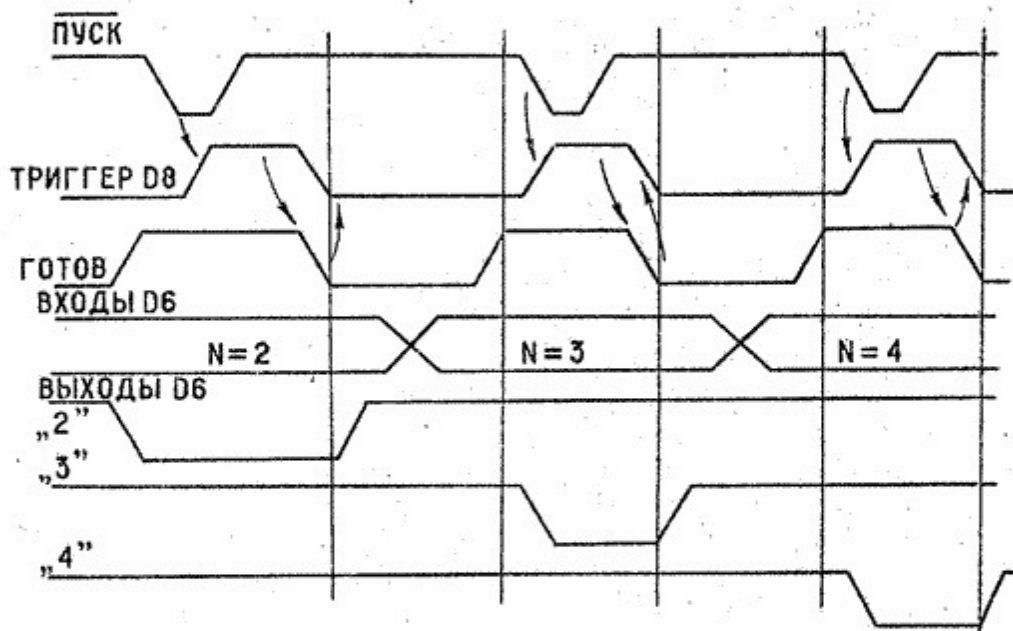


Рис.2.19

2.8.6. Блок питания

2.8.6.1. Блок питания содержит 3 источника постоянного стабилизированного напряжения плюс 5, плюс 15 и минус 15 в. Источники напряжения питания плюс 5 и плюс 15 в построены на специализированных микросхемах стабилизаторов напряжения с внутренним опорным источником и схемами защиты от короткого замыкания (D1 и D4 со-

ответственно). Источник напряжения питания минус 15 В выполнен в виде инвертирующего повторителя на основе операционного усилителя D5. Схема защиты от короткого замыкания выполнена на элементах VT1 и RI6. На элементах RI4, VD9, RI3 выполнена схема сдвига уровня выходного напряжения операционного усилителя для обеспечения правильности его работы. Выходные каскады источников напряжения выполнены на мощных кремниевых транзисторах, конструктивно расположенных на радиаторах задней панели прибора.

Выпрямители переменного напряжения, поступающего со вторичных обмоток сетевого трансформатора, выполнены по двухполупериодной схеме на диодах VD2 - VD7 (силовые выпрямители) и диодных сборках D2, D3 для подпитки стабилизаторов DI, D2.

Блок питания содержит также 2 источника нестабилизированного постоянного напряжения: плюс 6 В (VD10, VD11, CI9) двухполупериодная схема для питания индикаторов блока управления плюс 50 В (VD12 - VD15, CI8), мостовая схема для обеспечения напряжением источника смещения аналоговой секции прибора.

2.9. Схема электрическая принципиальная блока управления З.057.480 ЭЗ

2.9.1. Делитель частоты выполнен на микросхеме D11. Он имеет коэффициент деления 696 и с его выхода частота сканирования 1,1 кГц поступает на счетчики-сканеры дисплея D10.1 и клавиатуры D10.2.

На выходе счетчика-сканера клавиатуры образуется двоичный код номера горизонтали матрицы клавиатуры, поступающей в дешифратор горизонтали DI, D2 и в регистр-фиксатор D9. С выхода дешифратора D2 импульсы опроса поступают на горизонталы клавиатуры прибора, а с выхода дешифратора DI - на горизонталы пульта управления З.624.025. Ключи клавиатуры S1 - S21 и пульта управления соединяют одну из горизонталей с одной из трех собирательных линий-вертикалей. Если кнопка не нажата, то во всех трех вертикалях (на резисторах R42, R44, R49) нулевое напряжение, так как резисторы заземлены. Нажатие любой кнопки приводит к электрическому замыканию одной горизонтали и одной вертикали и на одном из резисторов появляется импульс опроса. Вертикали матрицы клавиатуры соединены с входом двух триггеров

фиксация кода вертикали D3.1 - D4.1 и D3.2 - D4.2 через инверторы D5.1. Нажатие кнопки из вертикали С приводит к сбросу обоих триггеров, нажатие кнопки из вертикали L - к установке триггера D3.1 - D4.1 и сбросу триггера D3.2 - D4.2, нажатие кнопки из вертикали R к сбросу триггера D3.1 - D4.1 и установке триггера D3.2 - D4.2. Таким образом кодируются все три вертикали матрицы клавиатуры.

С выхода триггеров фиксации код вертикали поступает на вход буфера D8. Код нажатой кнопки, образованный из кода горизонтали и кода вертикали, проходит в шину данных логической секции при поступлении на вывод X1:8 лог.0 сигнала ЧТЕНИЕ. Чтение кода нажатой кнопки производится по прерыванию, вырабатываемому одновибратором D5.2 - D5.4, R43, C16, R45, R46, на выходе которого при нажатой кнопке образуется уровень лог.1 и на вывод X1:3 поступает сигнал КНОПКА НАЖАТА.

Этот же сигнал поступает в буфер D8 и используется как флаговый сигнал. Возбуждение одновибратора осуществляется импульсами опроса горизонталей, объединенных через микросхемы D4.3 и D3.3. С выхода микросхемы D4.3 через инвертор D7.4 эти импульсы поступают на вход записи информации регистра-фиксатора D9.

2.9.2. Узел дисплея

С выхода счетчика-сканера D10.1 дисплея через инвертирующие усилители D7.1 код вертикали матрицы индикаторов поступает на вход дешифратора вертикали D6. Дешифратор активизирует одну из 8 вертикалей подачей в нее питания через один из транзисторов VT1 - VT8 буфера вертикали.

Для того, чтобы индикатор дисплея засвечивался, необходимо выполнить одновременно 2 условия: запитать вертикаль, к которой подключен этот индикатор, и заземлить горизонталь. Управление заземлением горизонталей осуществляет ОЗУ дисплея D12, D14, D16 через инверторы D17, D15 и ключи D13, D18, D19 буфера горизонтали. Адрес чтения в ОЗУ дисплея поступает с инверторов счетчика-сканера непрерывно. Процесс чтения данных не зависит от процесса записи данных в ОЗУ дисплея.

Запись данных в ОЗУ дисплея производится через шину данных логической секции. Адрес записи поступает с канала А порта I. Струк-

тура данных ОЗУ дисплея приведена в табл.2.7. Ток через светодиоды индикатора определяется величиной резисторов горизонталей, один из выводов которых замыкается на корпус транзисторными ключами D13, D18, D19. Скважность импульсов тока равна 8 (он определяется коэффициентом пересчета счетчика-сканера дисплея D10.1).

2.10. Поиск неисправностей в логической секции прибора

2.10.1. Поиск неисправностей на уровне функциональных узлов в логической секции прибора проводится в основном по результатам тестов, проходящих при включении питания. Если проверка останавливается, то на индикаторе указывается неисправный функциональный узел.

Если при включении прибора наблюдается беспорядочное засвечивание индикаторов, либо после кратковременного засвечивания индикаторы остаются погашенными. Это свидетельствует о неисправности "ядра" логической секции: генератора тактовых импульсов, микропроцессора, дешифратора памяти или ПЗУ, содержащего тесты.

При включении прибора проводятся следующие тесты:

- тест ОЗУ,
- тест ПЗУ,
- тест индикация.

Тест ОЗУ проверяет на правильность записи-считывания все 4К ячеек оперативной памяти. Во время прохождения теста высвечивается надпись ОЗУ, которая пропадает, если ошибок не обнаружено.

Тест ПЗУ осуществляет проверку каждой из 7 микросхем ПЗУ на совпадение контрольной суммы. Во время проверки на индикаторе появляется надпись ПЗУ-Х, где Х - условный номер ПЗУ. Соответствие условного номера ПЗУ номеру микросхемы по электрической принципиальной схеме цифрового блока приведено ниже.

ПЗУ0	-	D61
ПЗУ1	-	D56
ПЗУ2	-	D69
ПЗУ3	-	D50
ПЗУ4	-	D70
ПЗУ5	-	D62
ПЗУ6	-	D57

Если ошибок ПЗУ не обнаружено, то надпись ПЗУ пропадает.

При проведении теста индикации в ОЗУ дисплея записываются коды, вызывающие засвечивание всех индикаторов, а затем коды, вызывающие гашение всех индикаторов. Засвечивание производится 8 раз. Оператор выясняет исправность индикаторов.

Алгоритм поиска неисправного функционального узла логической секции приведен на рис.2.20.

2.10.2. Алгоритмы поиска неисправностей на уровне элементов в функциональных узлах логической секции приведены на рис.2.21 - рис.2.30.

Алгоритм поиска неисправностей на уровне функциональных узлов
логической секции прибора

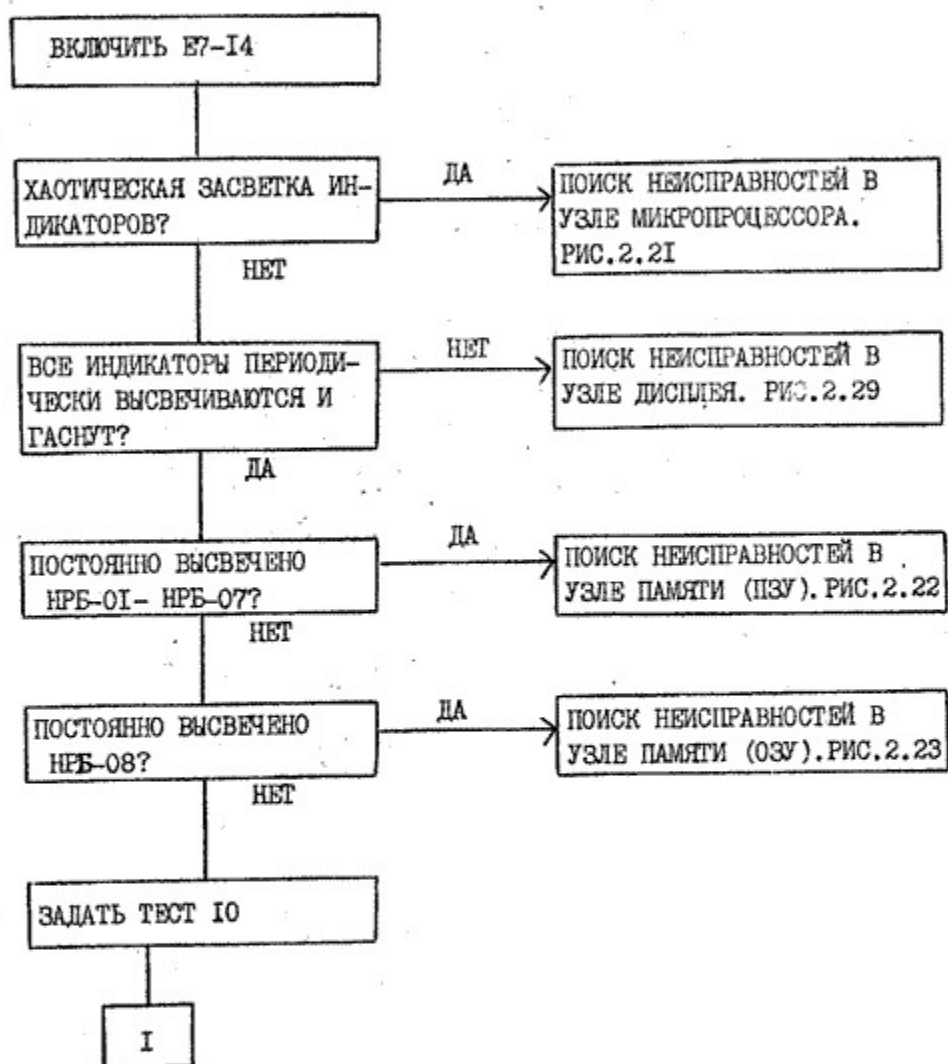


Рис.2.20

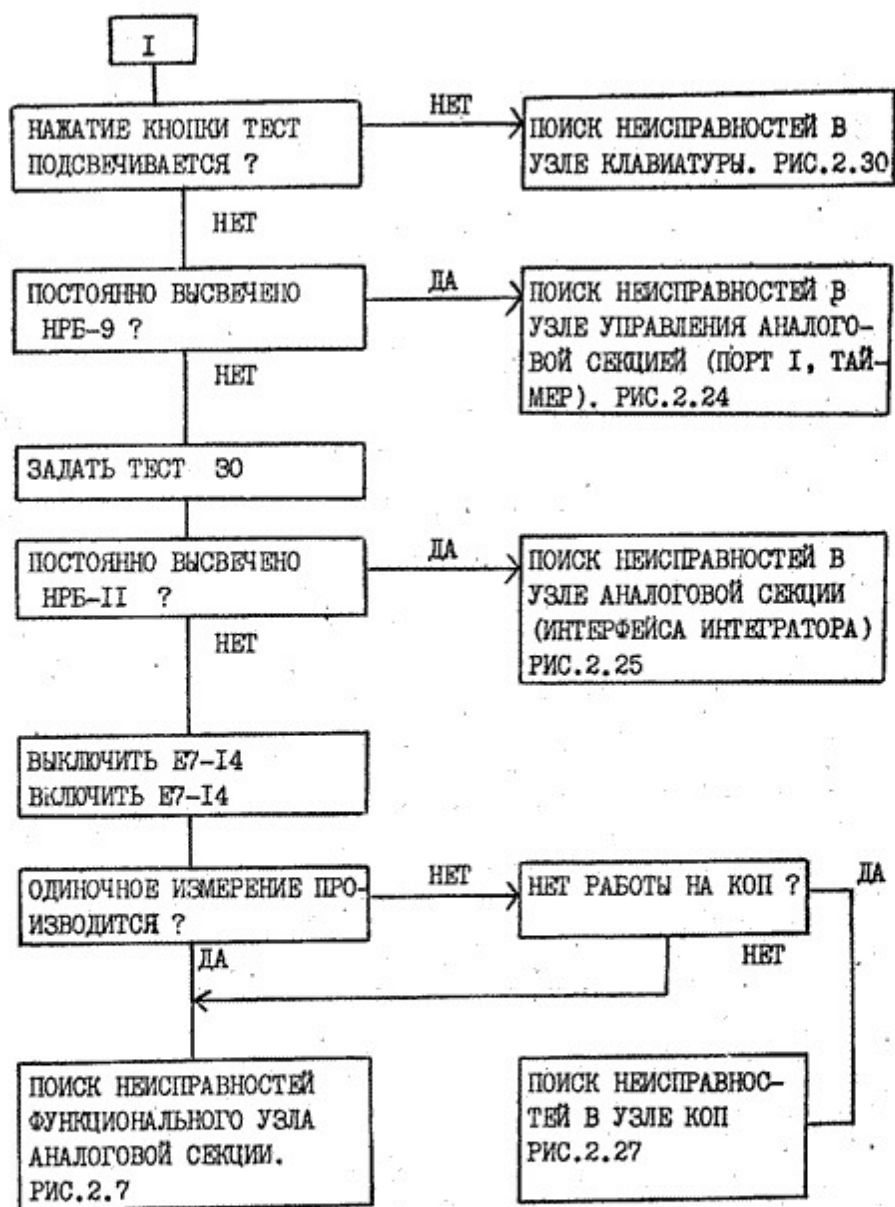


Рис.2.20. Продолжение

Алгоритм поиска и устранения неисправностей в узле микропроцессора. Сигнатуры приведены в табл.2.15

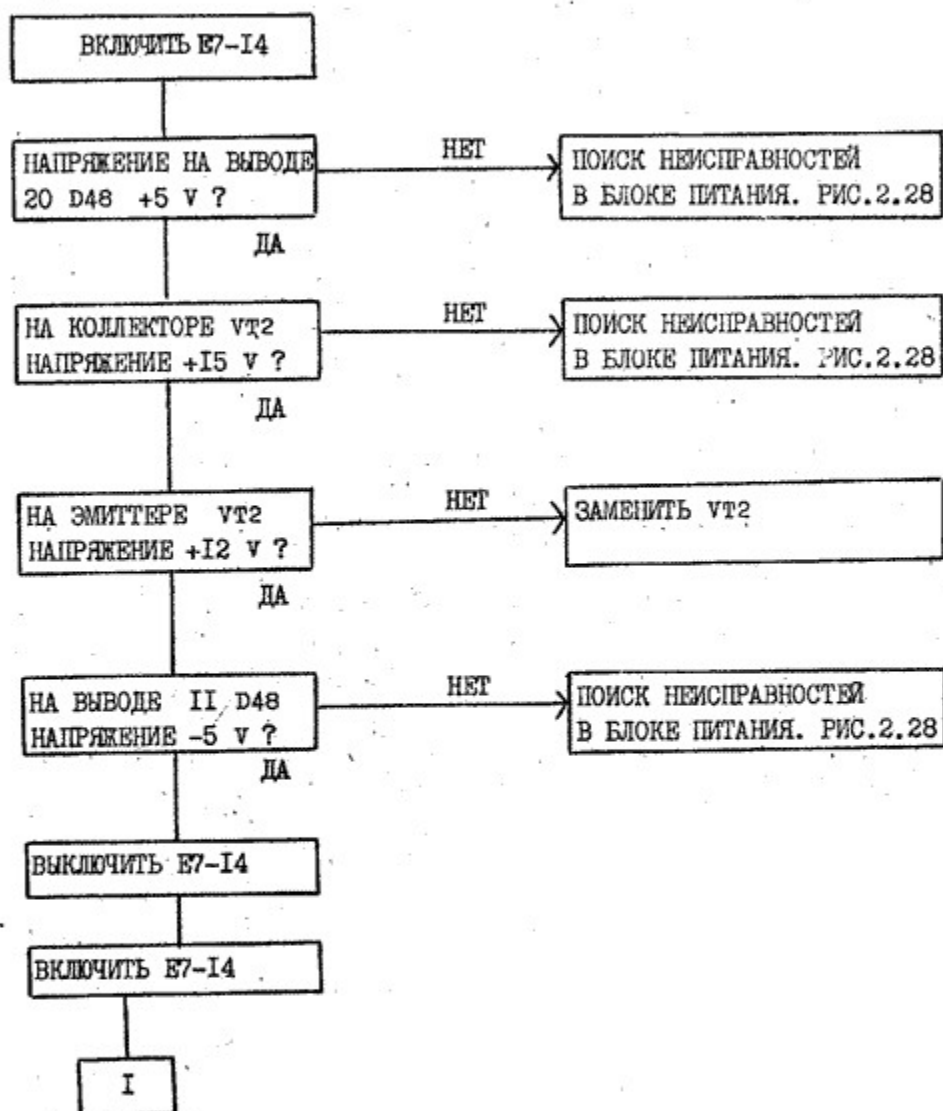


Рис.2.2I

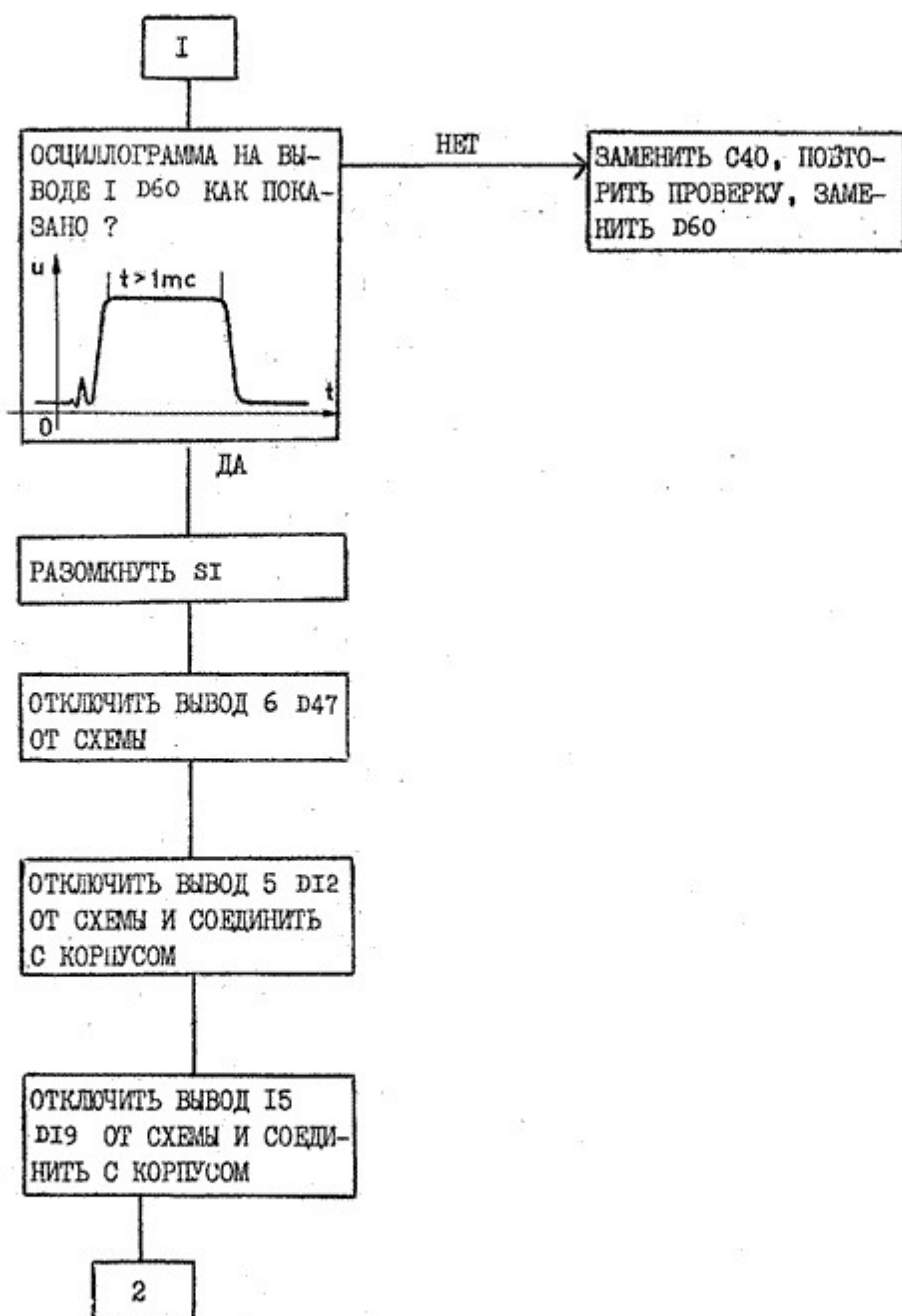


Рис.2.2I. Продолжение

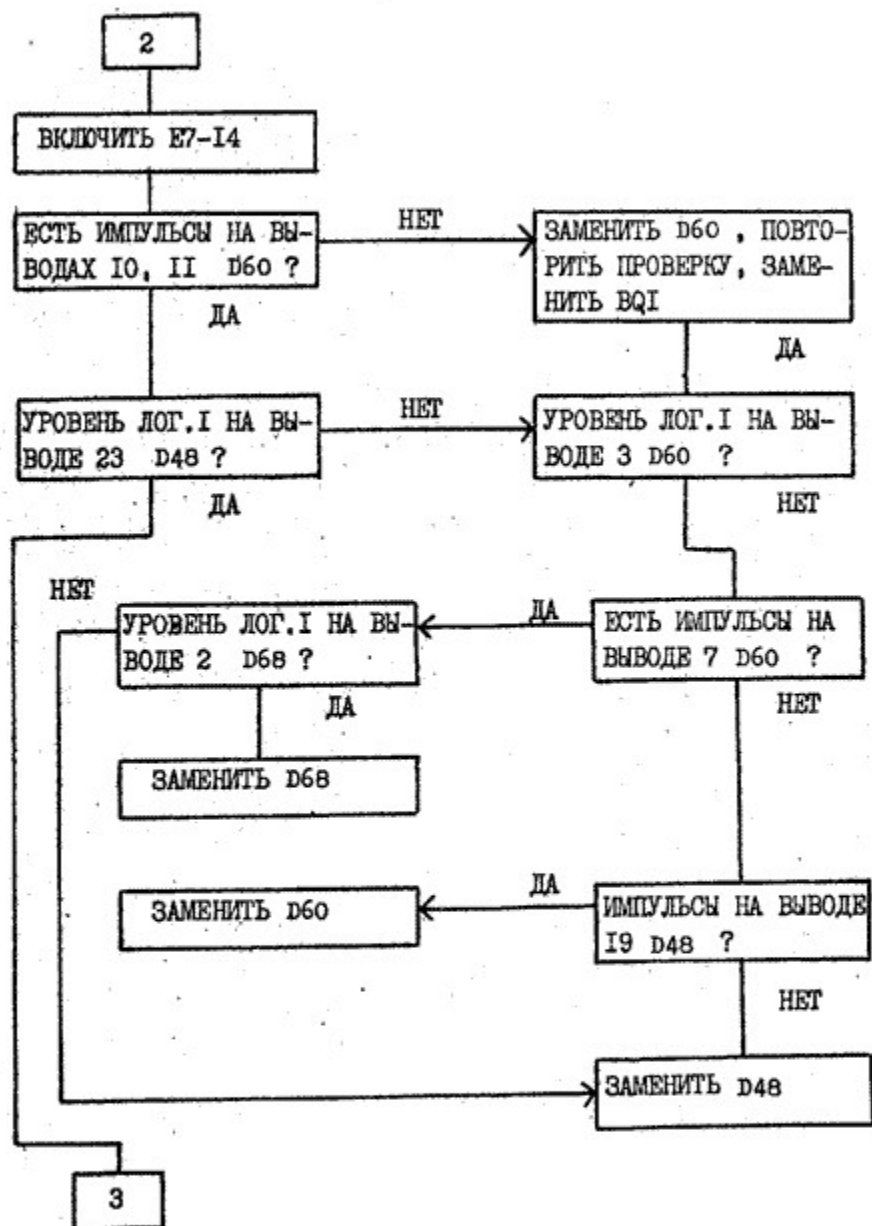


Рис.2.21. Продолжение

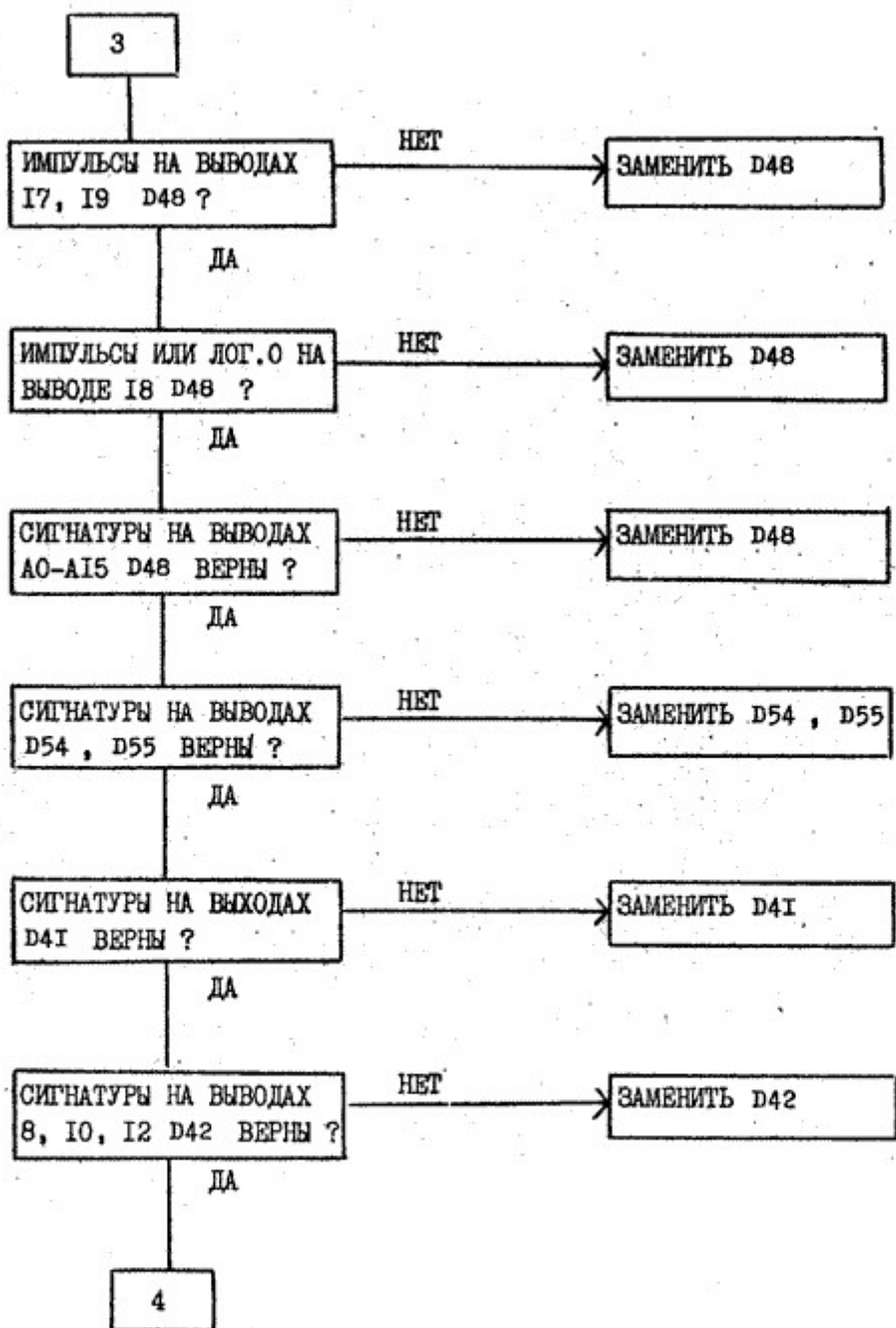


Рис.2.2I. Продолжение

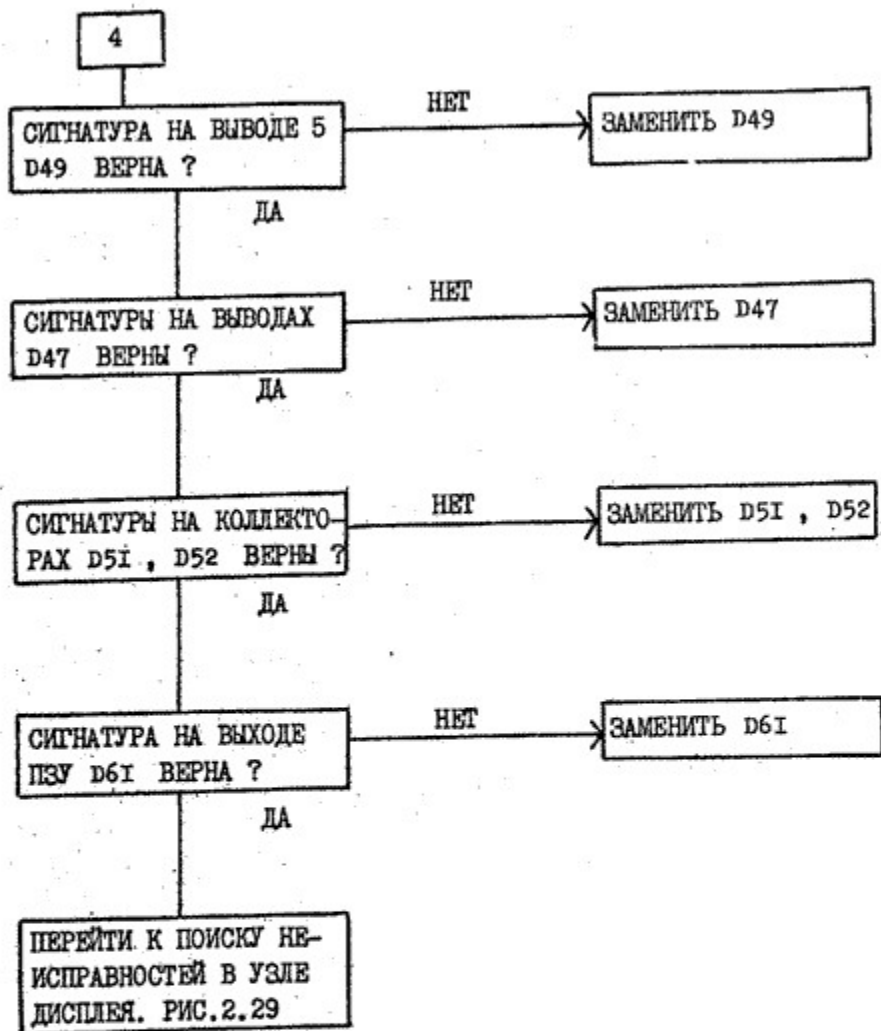


Рис.2.21. Продолжение

Алгоритм поиска и устранения неисправностей в узле памяти (ПЗУ)

Сигнатуры приведены в табл.2.26

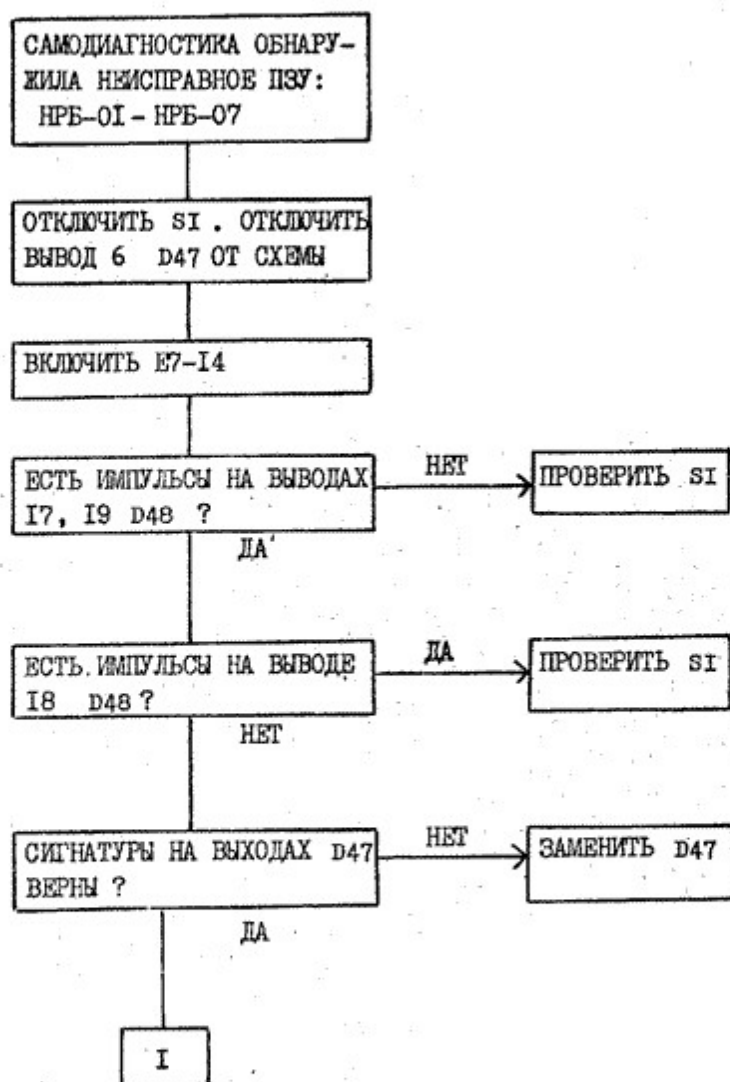
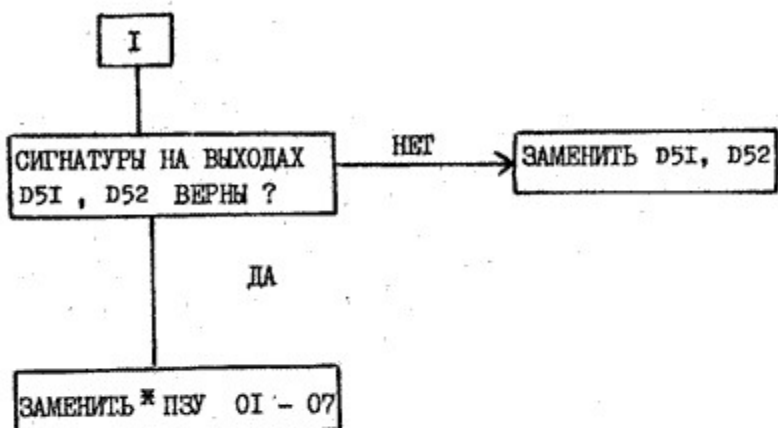


Рис.2.22



* Примечание:

ПЗУ0	-	D61
ПЗУ1	-	D56
ПЗУ2	-	D69
ПЗУ3	-	D50
ПЗУ4	-	D70
ПЗУ5	-	D62
ПЗУ6	-	D57

Рис.2.22. Продолжение

Алгоритм поиска и устранения неисправностей в узле памяти (ОЗУ)
Сигнатуры приведены в табл.2.17

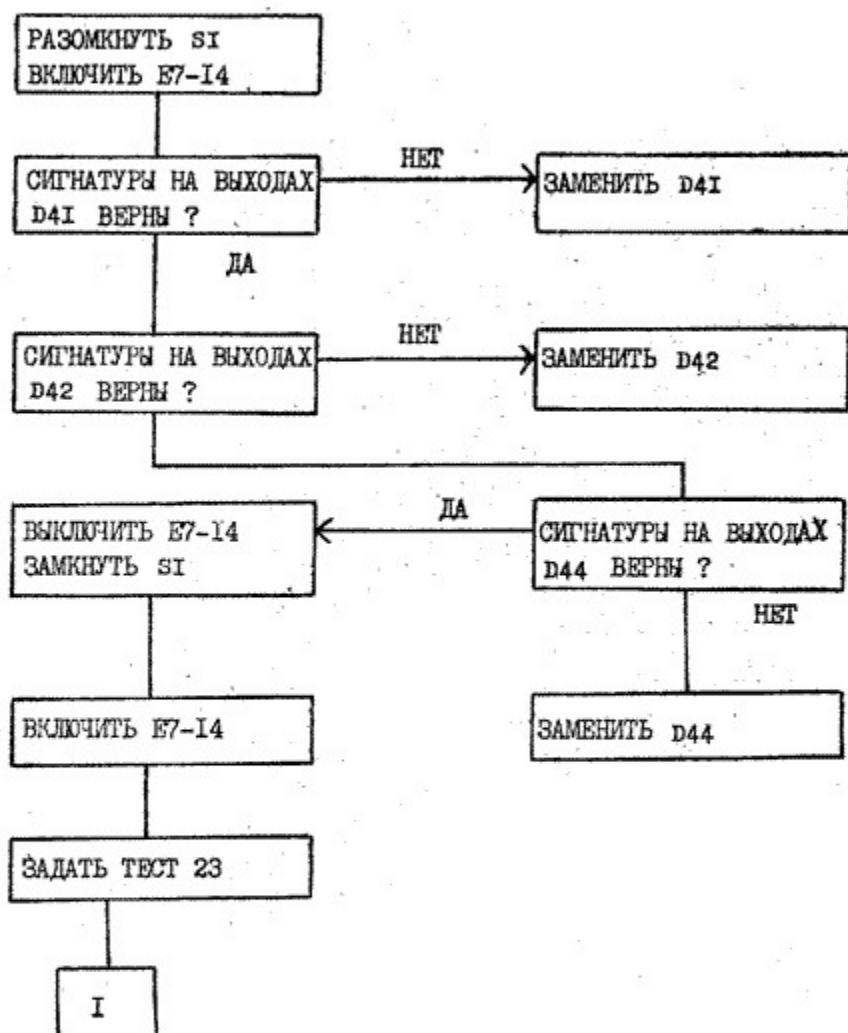


Рис.2.23

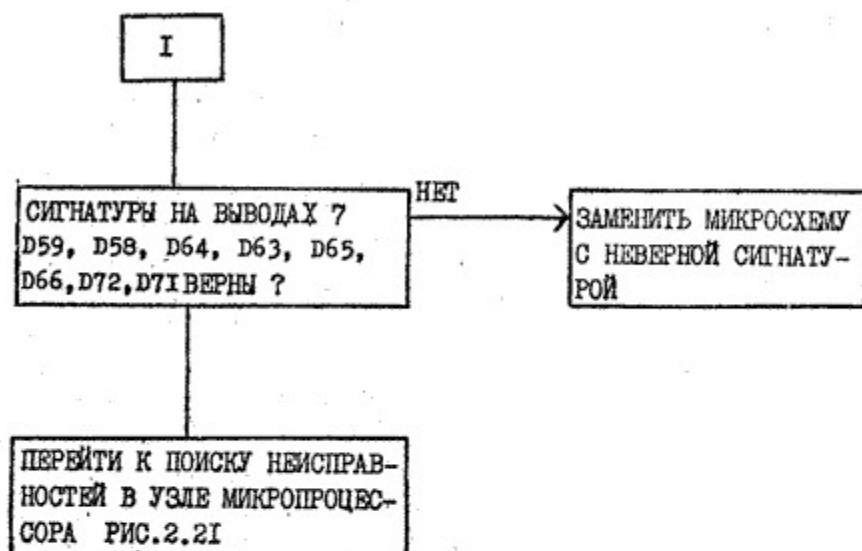


Рис.2.23. Продолжение

Алгоритм поиска и устранения неисправностей в узле управления аналоговой секцией (порт I, таймер).

Сигнатуры приведены в табл.2.18

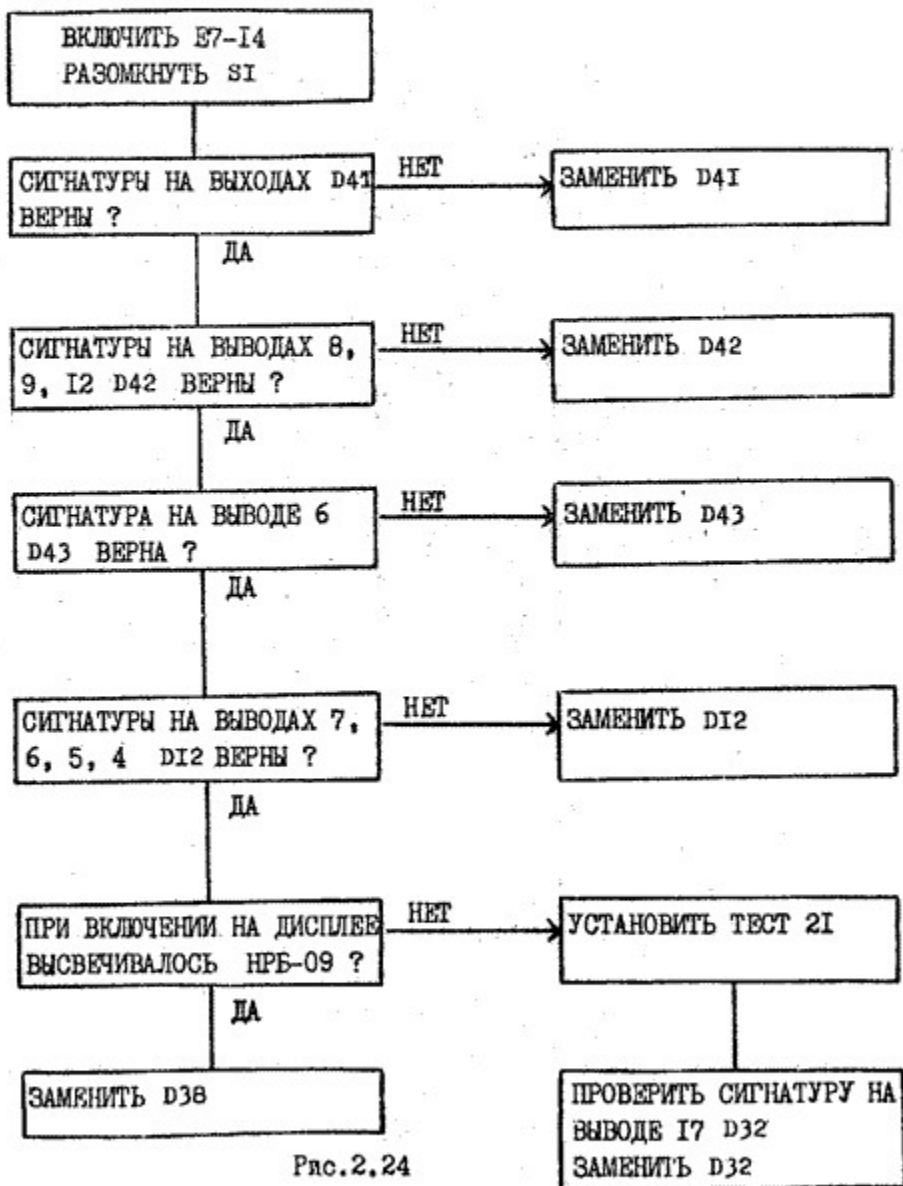


Рис.2.24

Алгоритм поиска и устранения неисправностей в узле управления аналоговой секцией (интерфейс интегратора)
 Сигнатуры приведены в табл.2.19

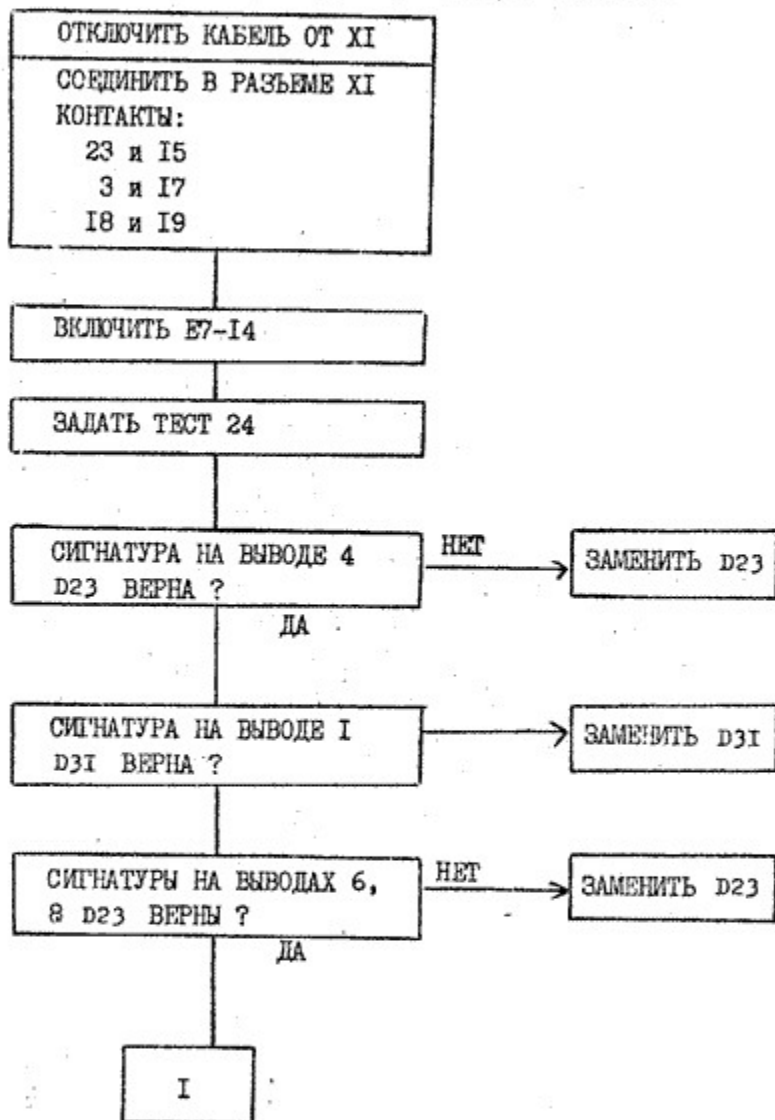


Рис.2.25

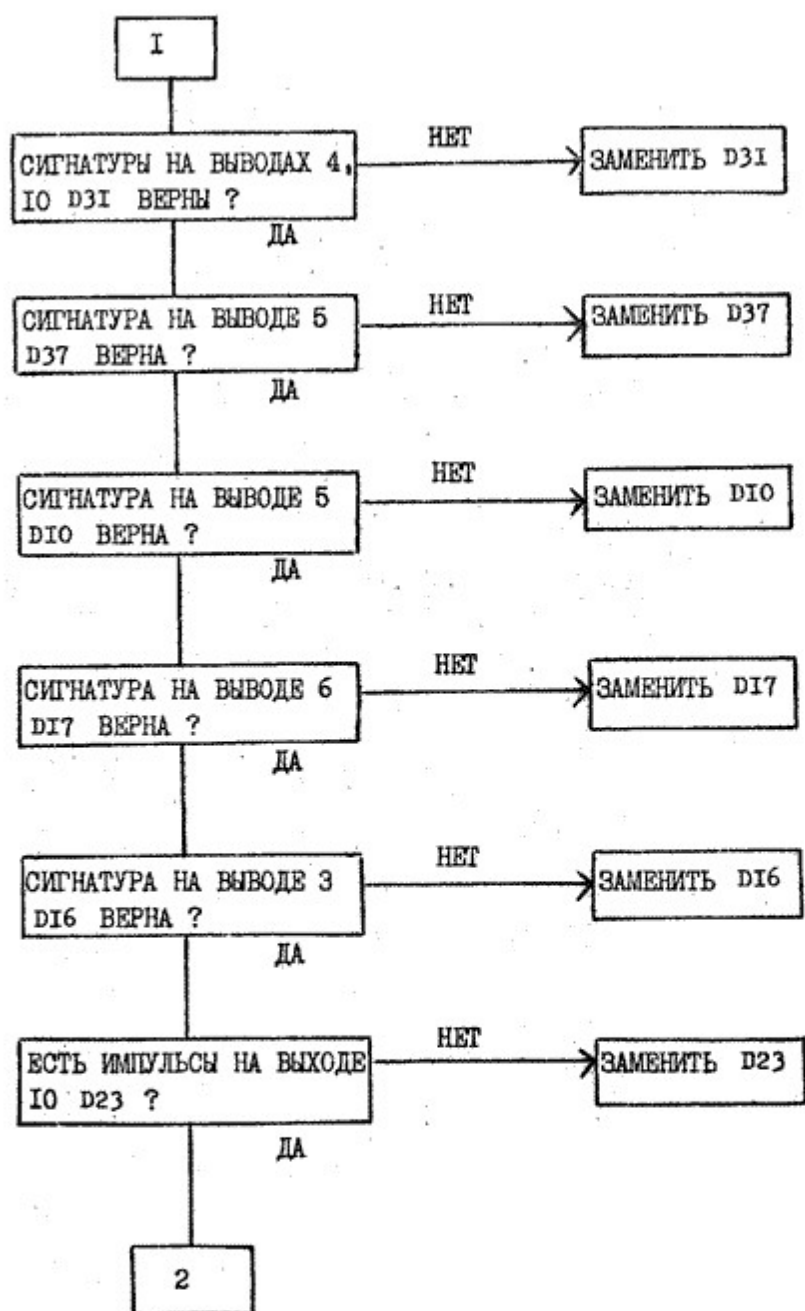


Рис.2.25. Продолжение

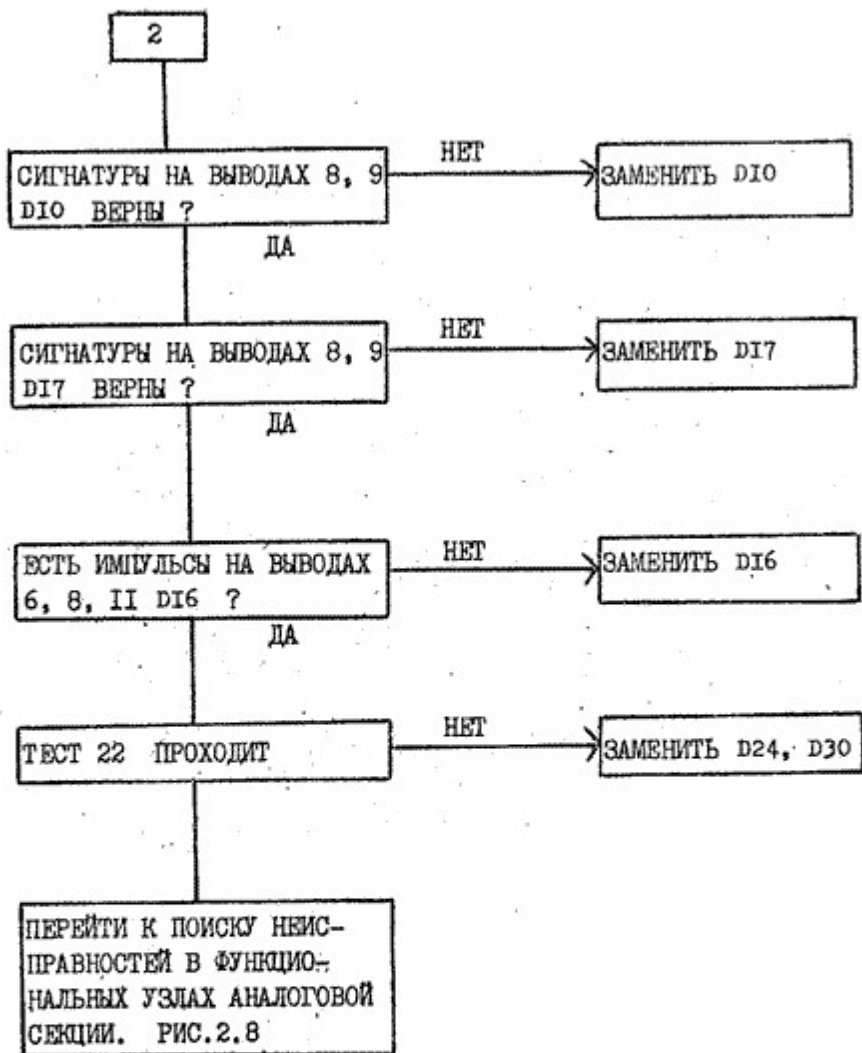


Рис.2.25. Продолжение

Алгоритм поиска и устранения неисправностей в узле прерываний
Сигнатуры приведены в табл.2.20

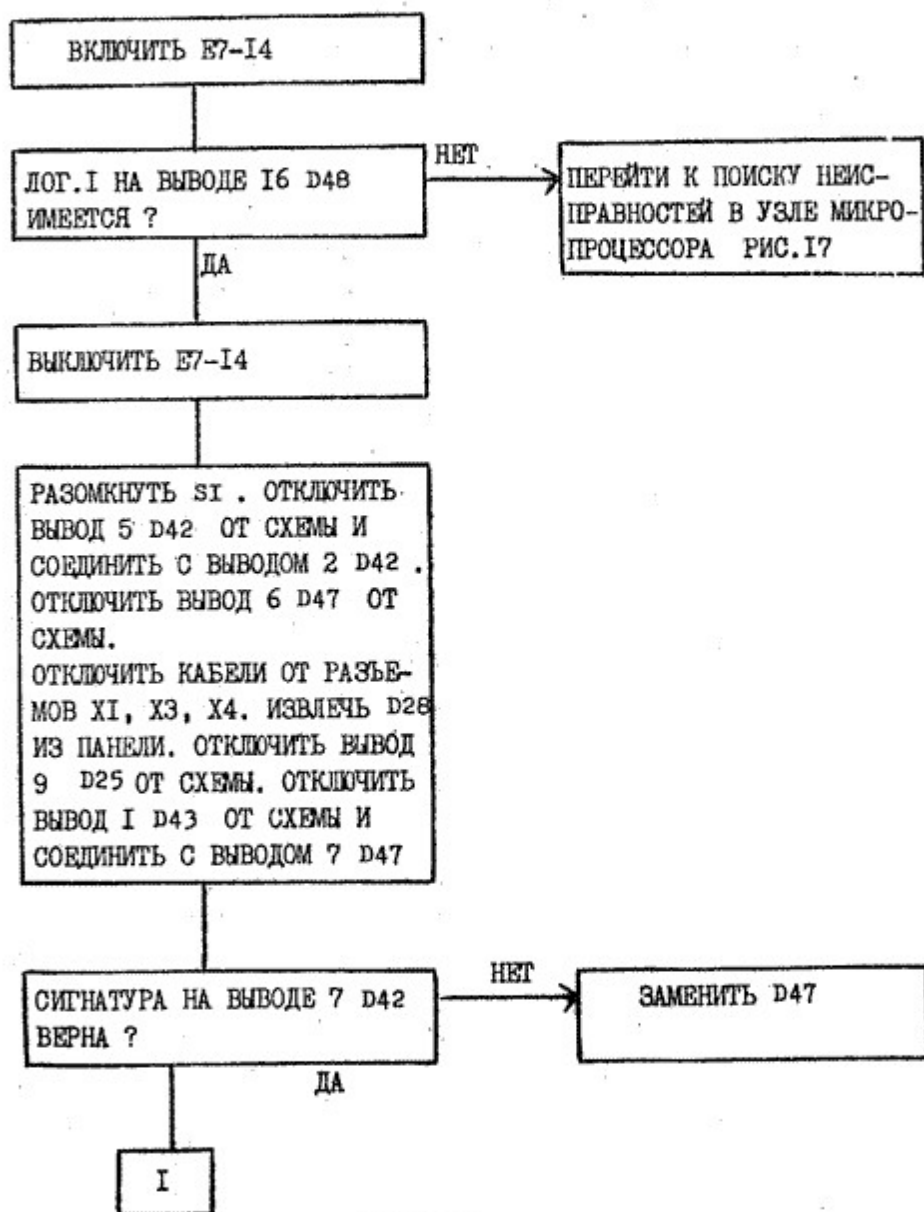


Рис.2.26

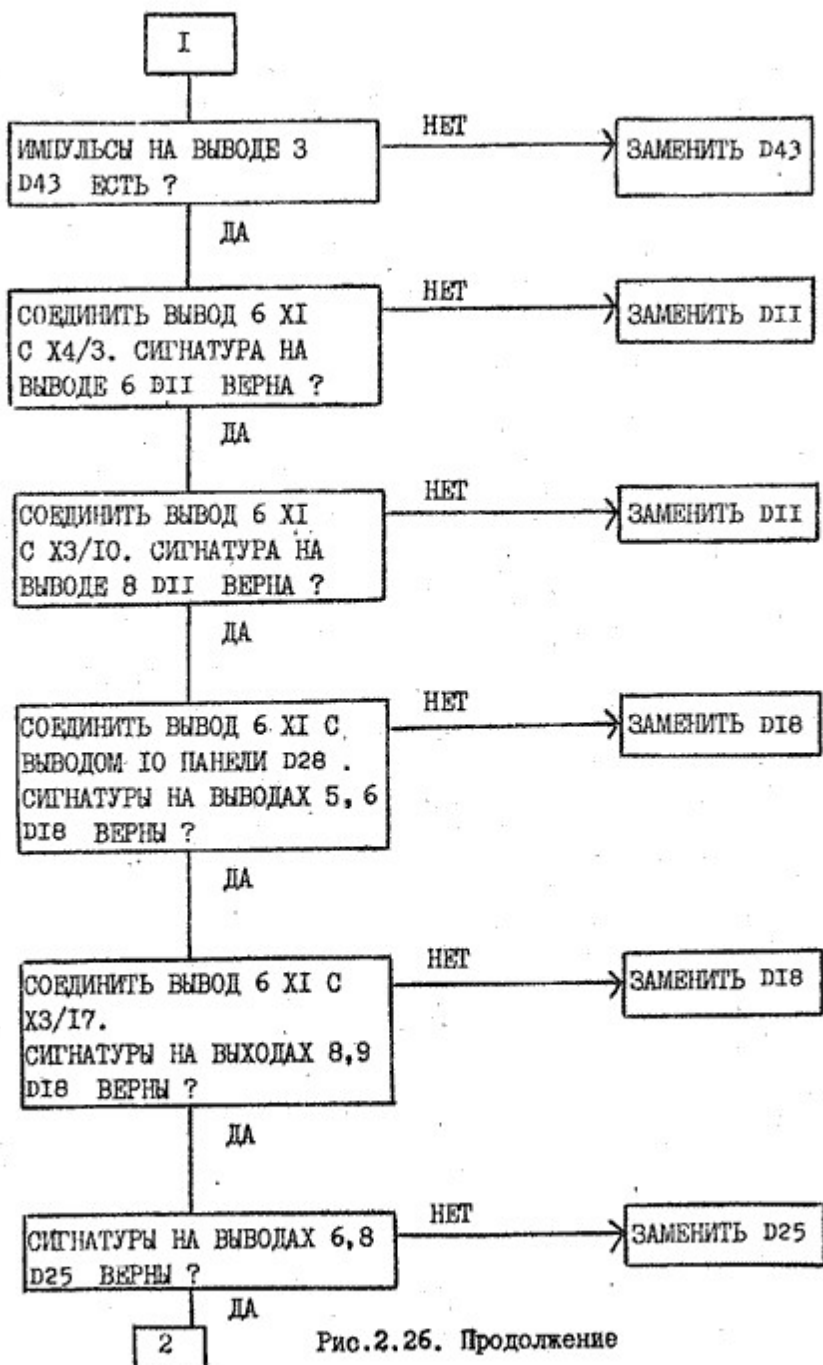


Рис.2.26. Продолжение

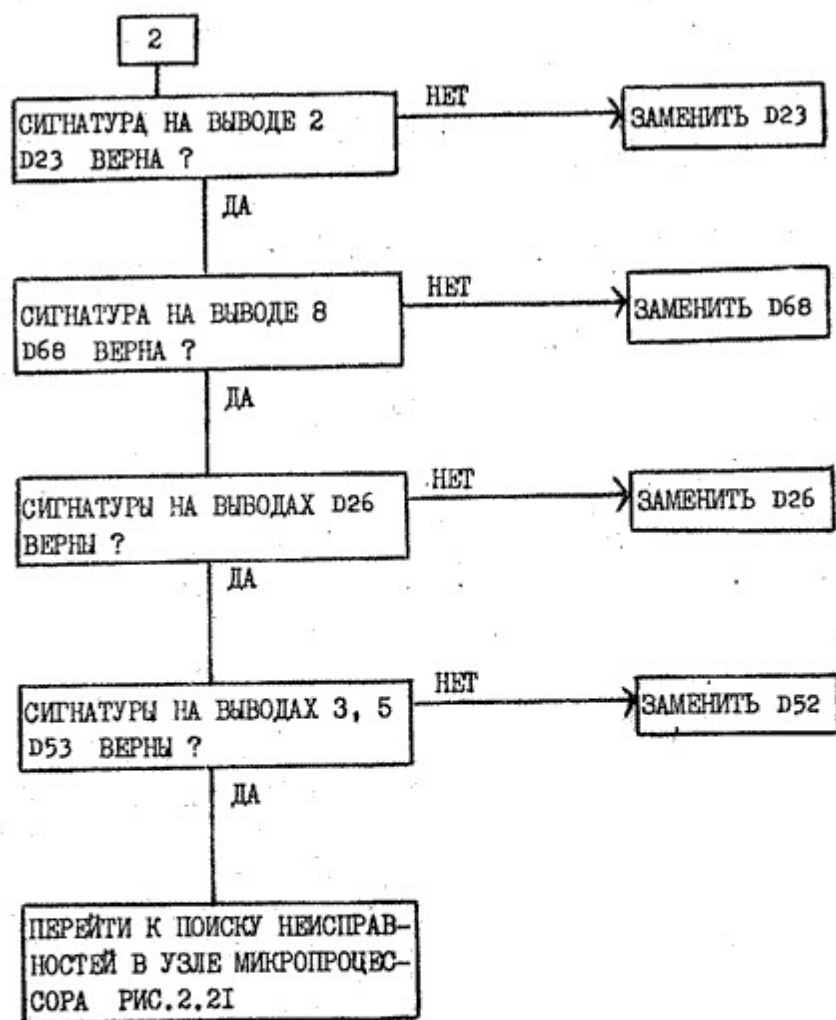


Рис. 2.26. Продолжение

Алгоритм поиска и устранения неисправностей в узле КОП
Сигнатуры приведены в табл.2.21

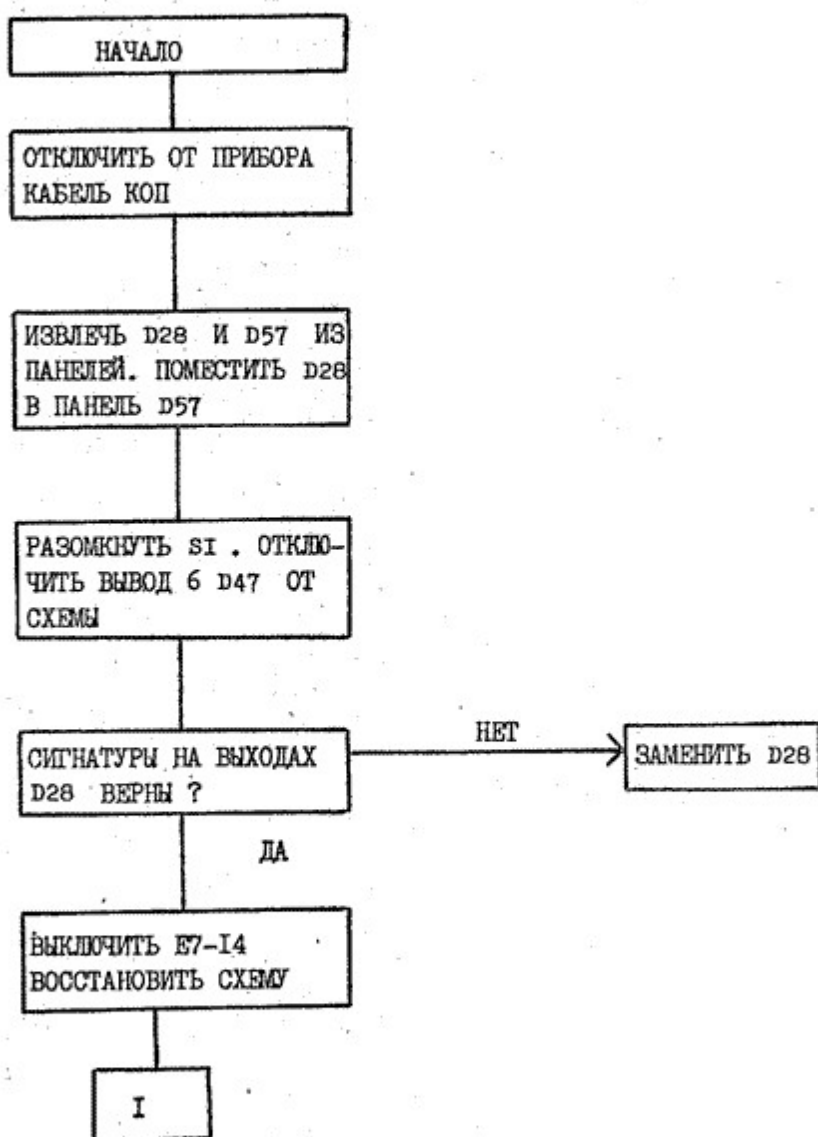


Рис.2.27

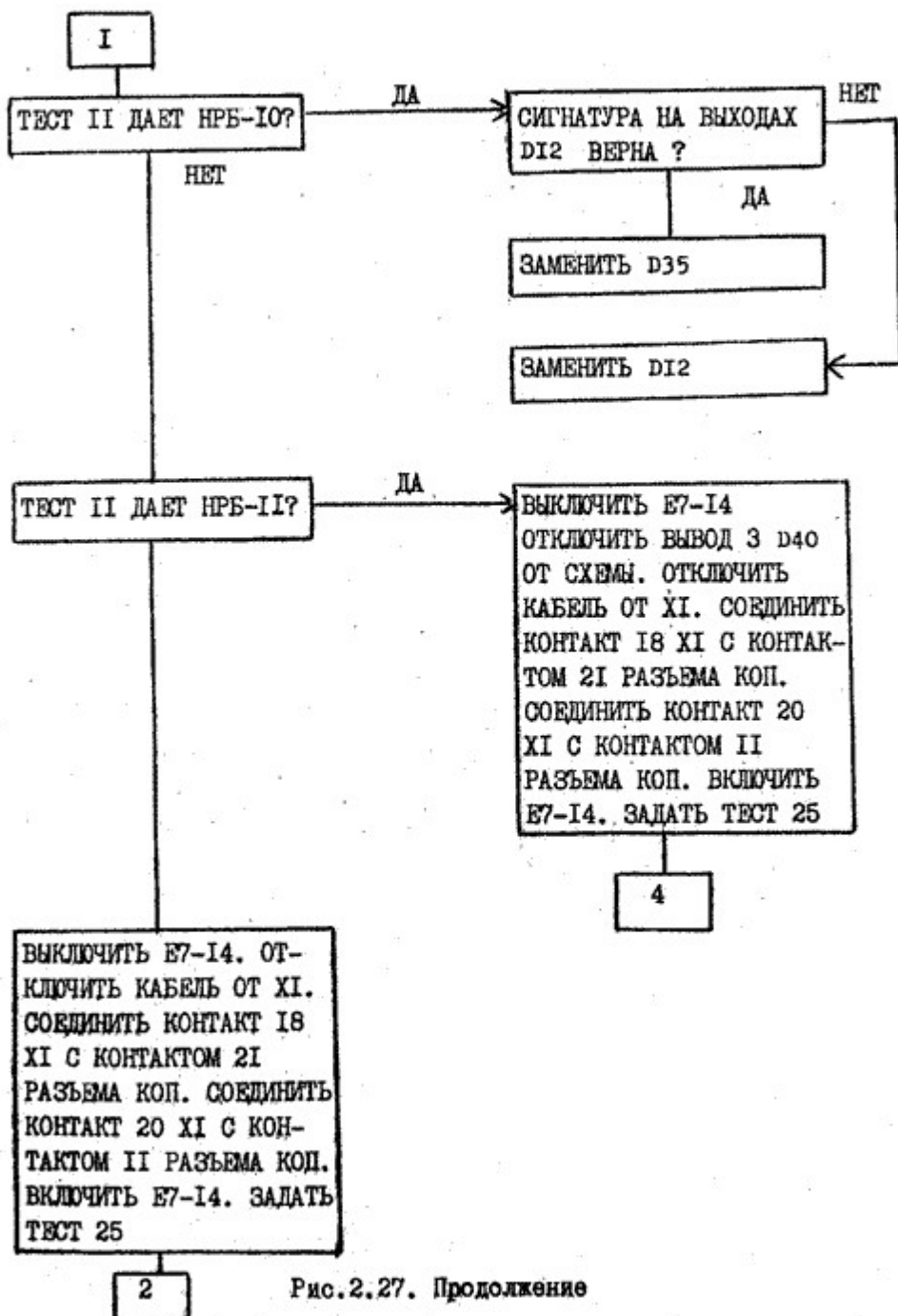


Рис.2.27. Продолжение

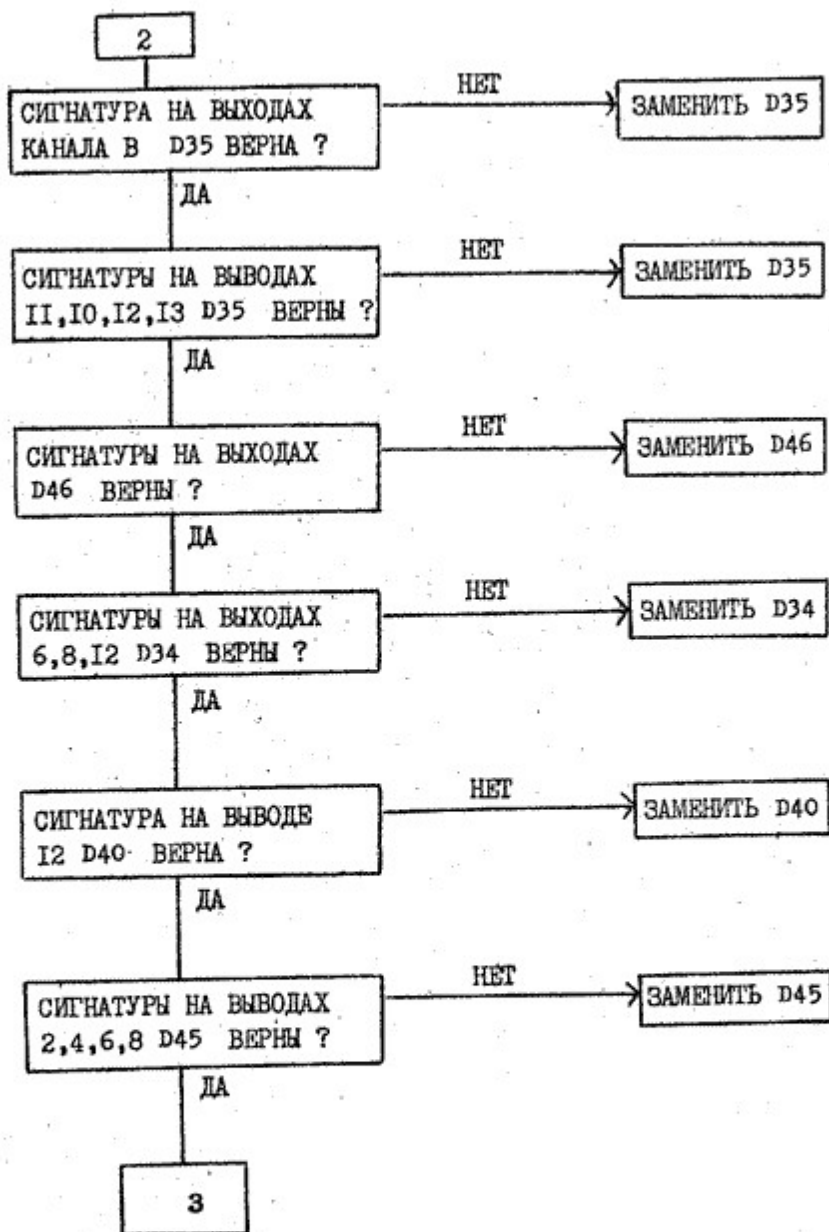


Рис.2.27. Продолжение

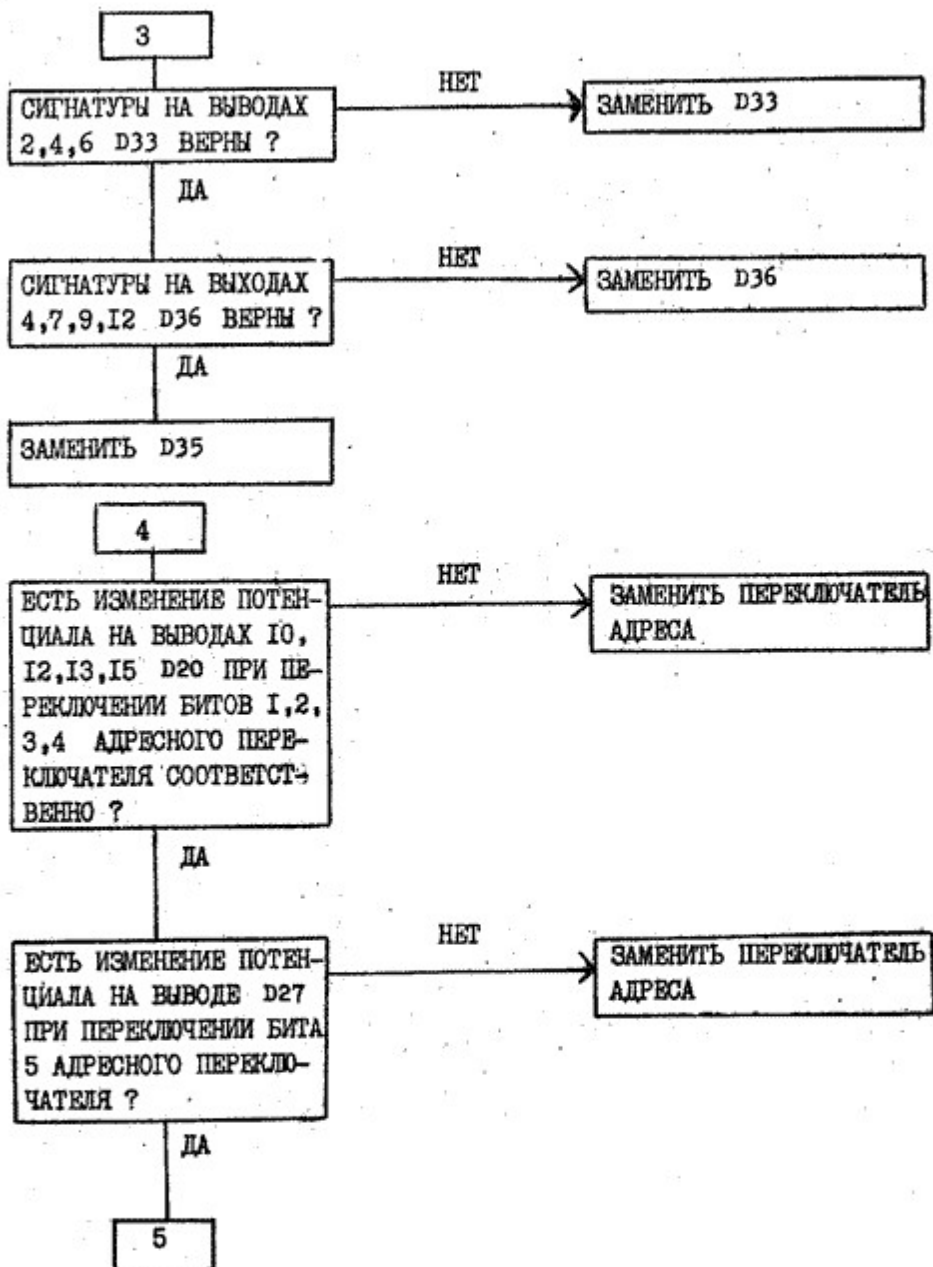


Рис.2.27. Продолжение

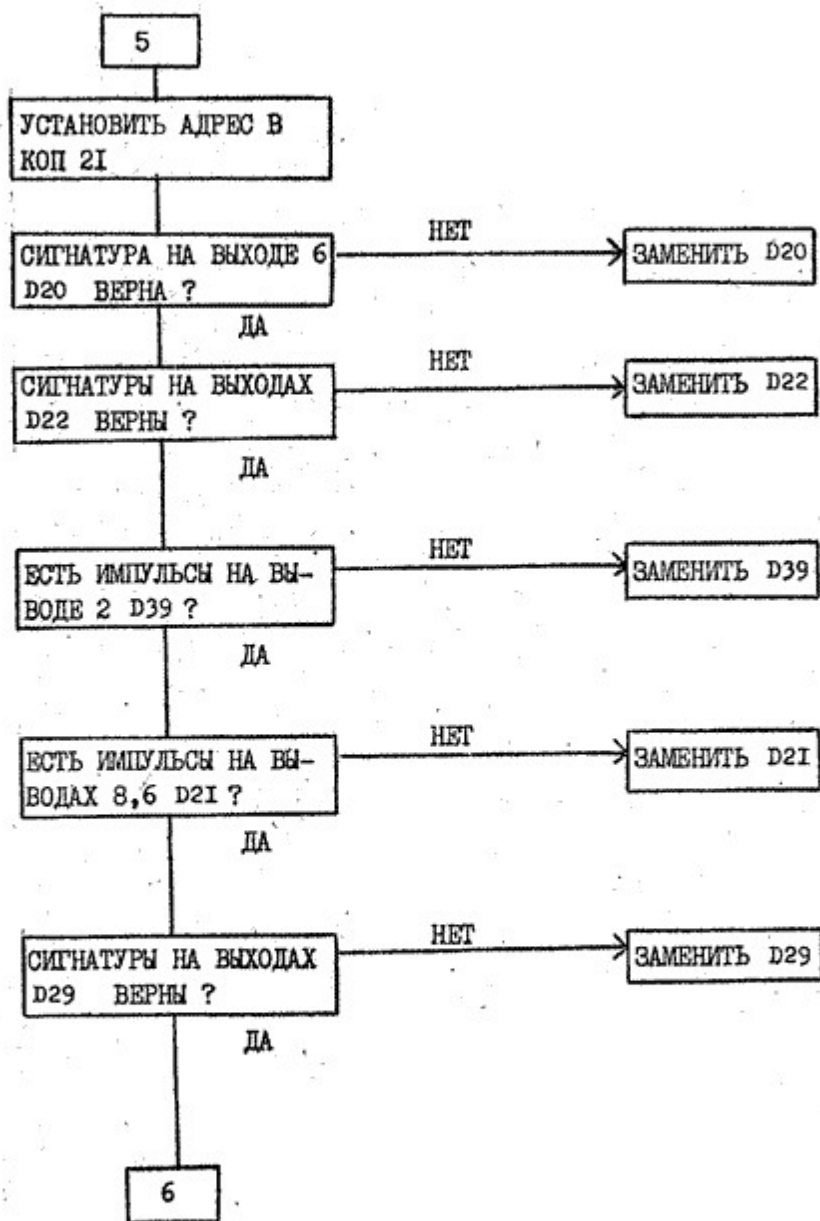


Рис.2.27. Продолжение

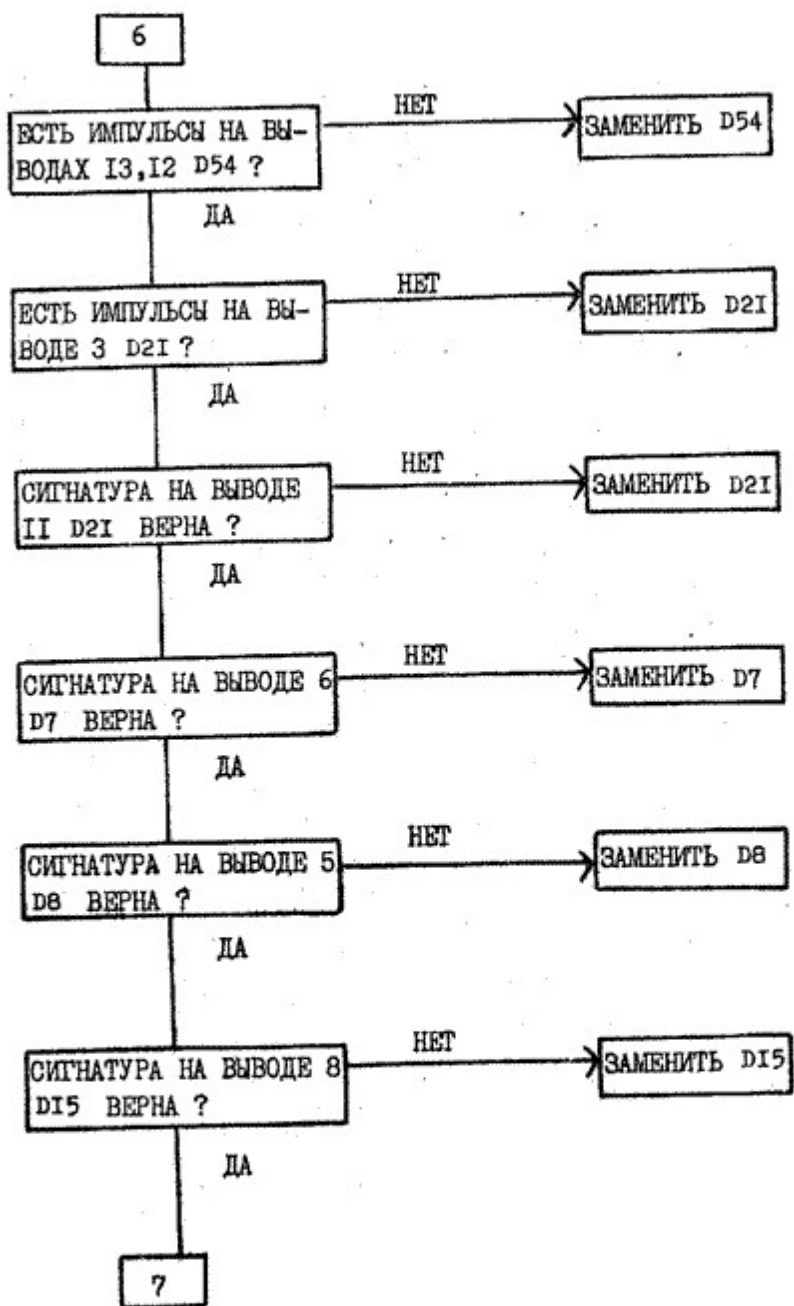


Рис.2.27. Продолжение

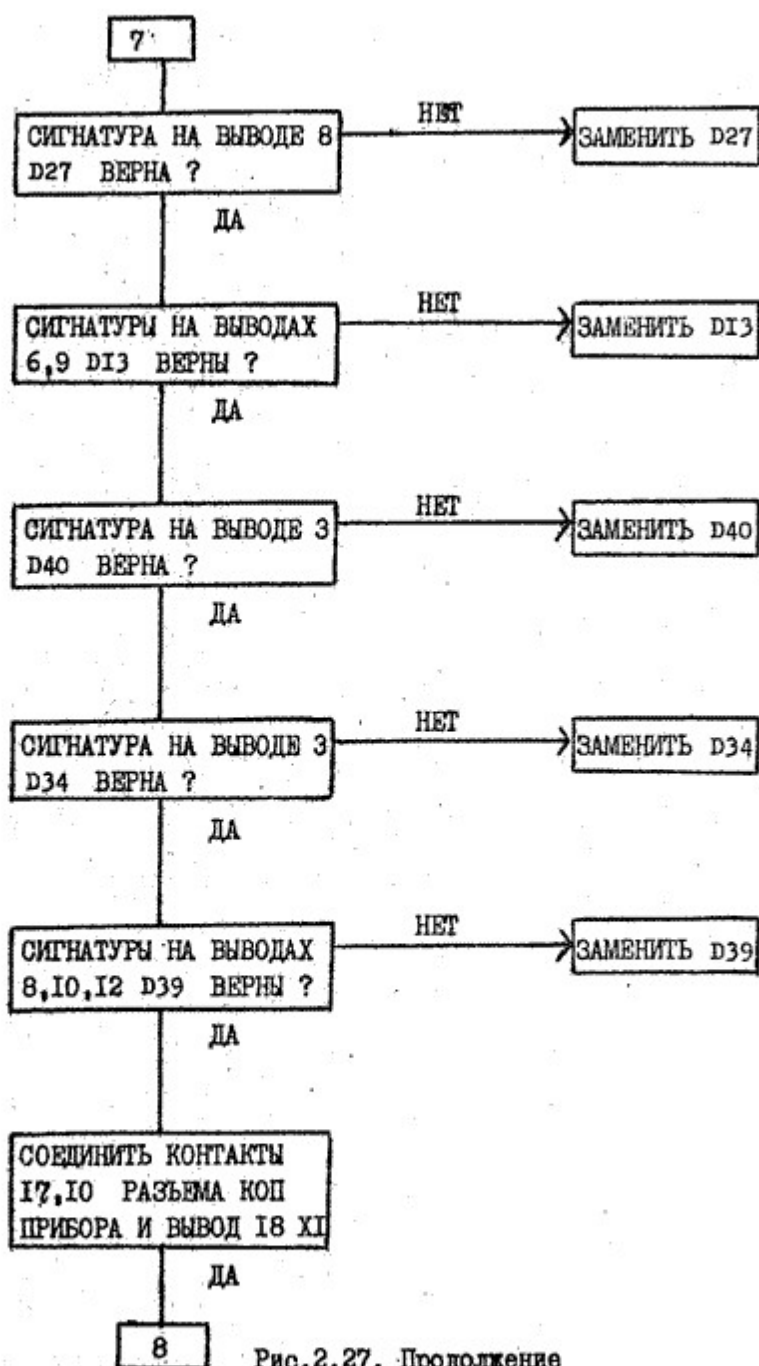


Рис.2.27. Продолжение

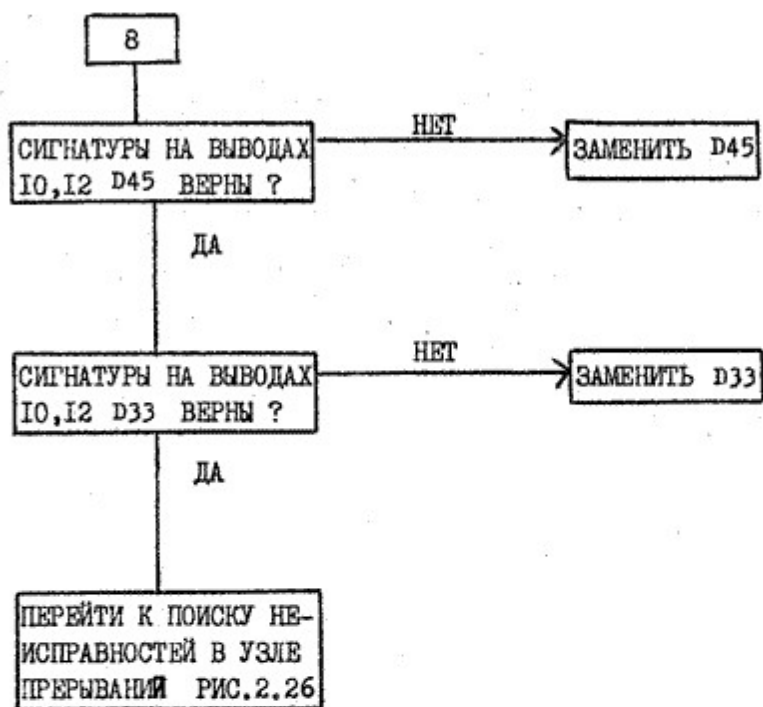


Рис.2.27. Продолжение

Алгоритм поиска неисправностей в блоке питания

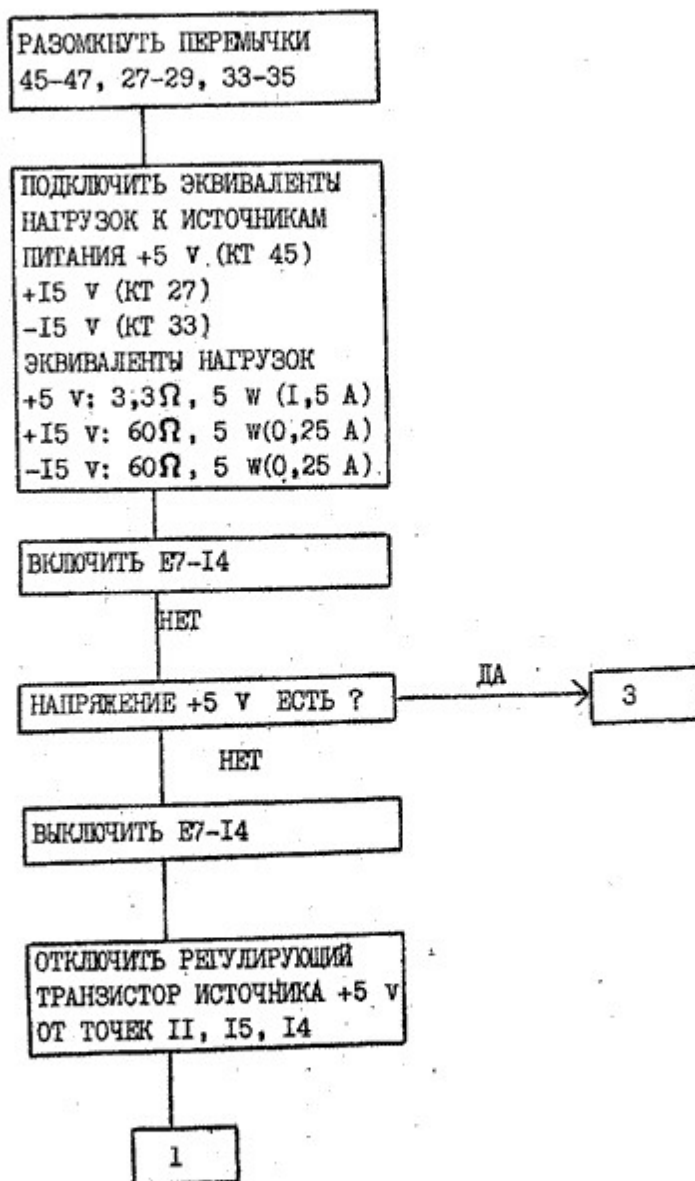


Рис.2.28

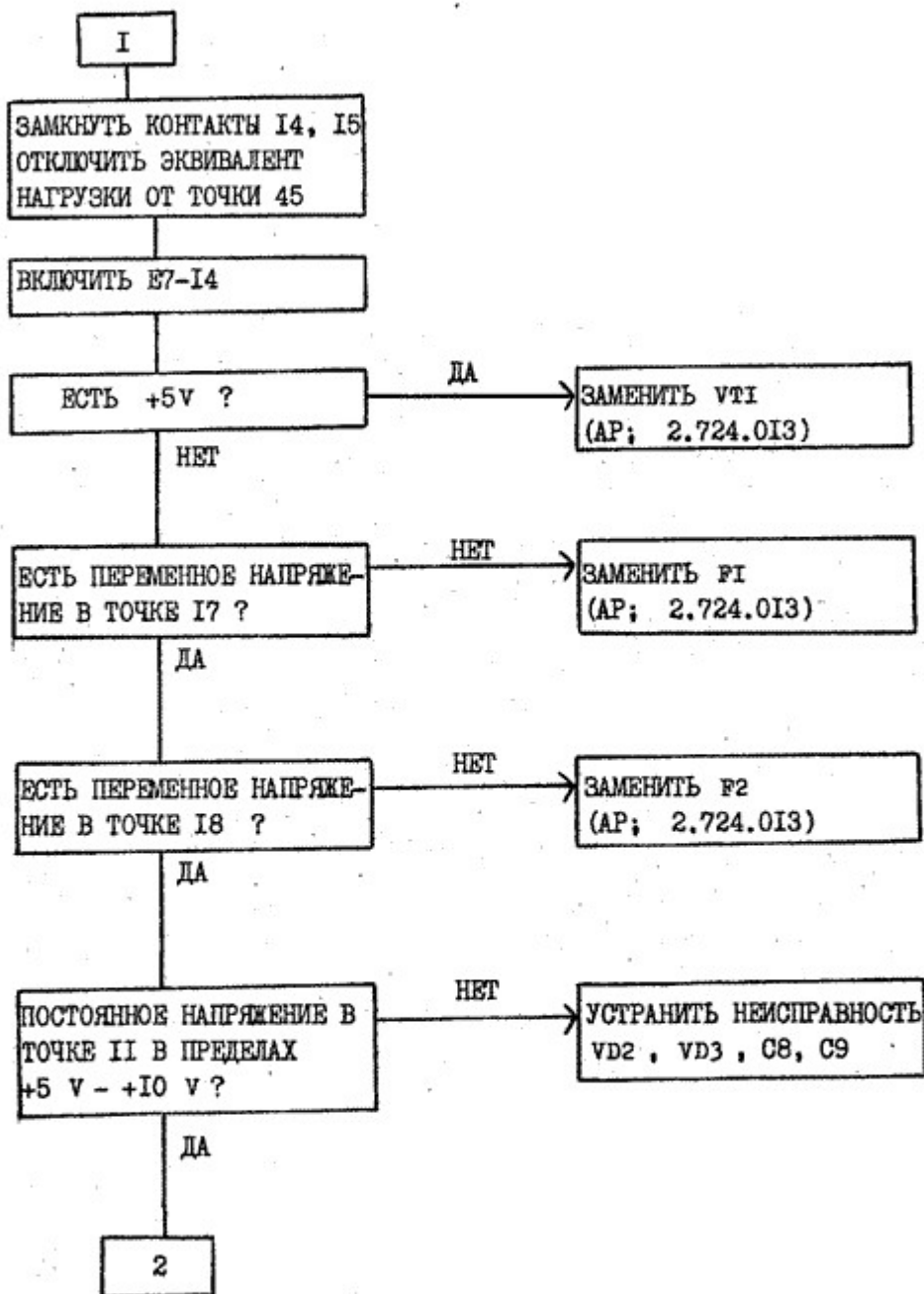


Рис.2.28. Продолжение

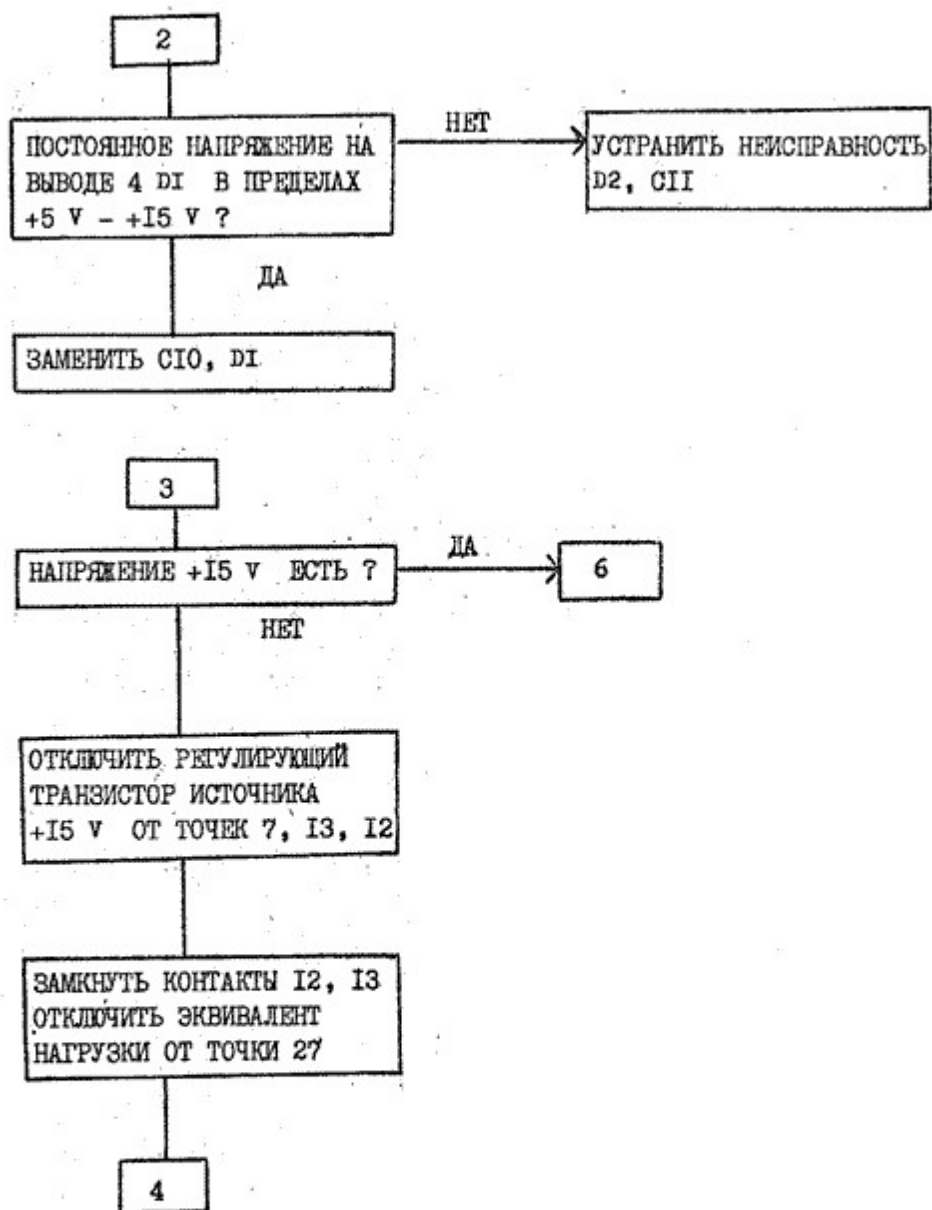


Рис.2.28. Продолжение

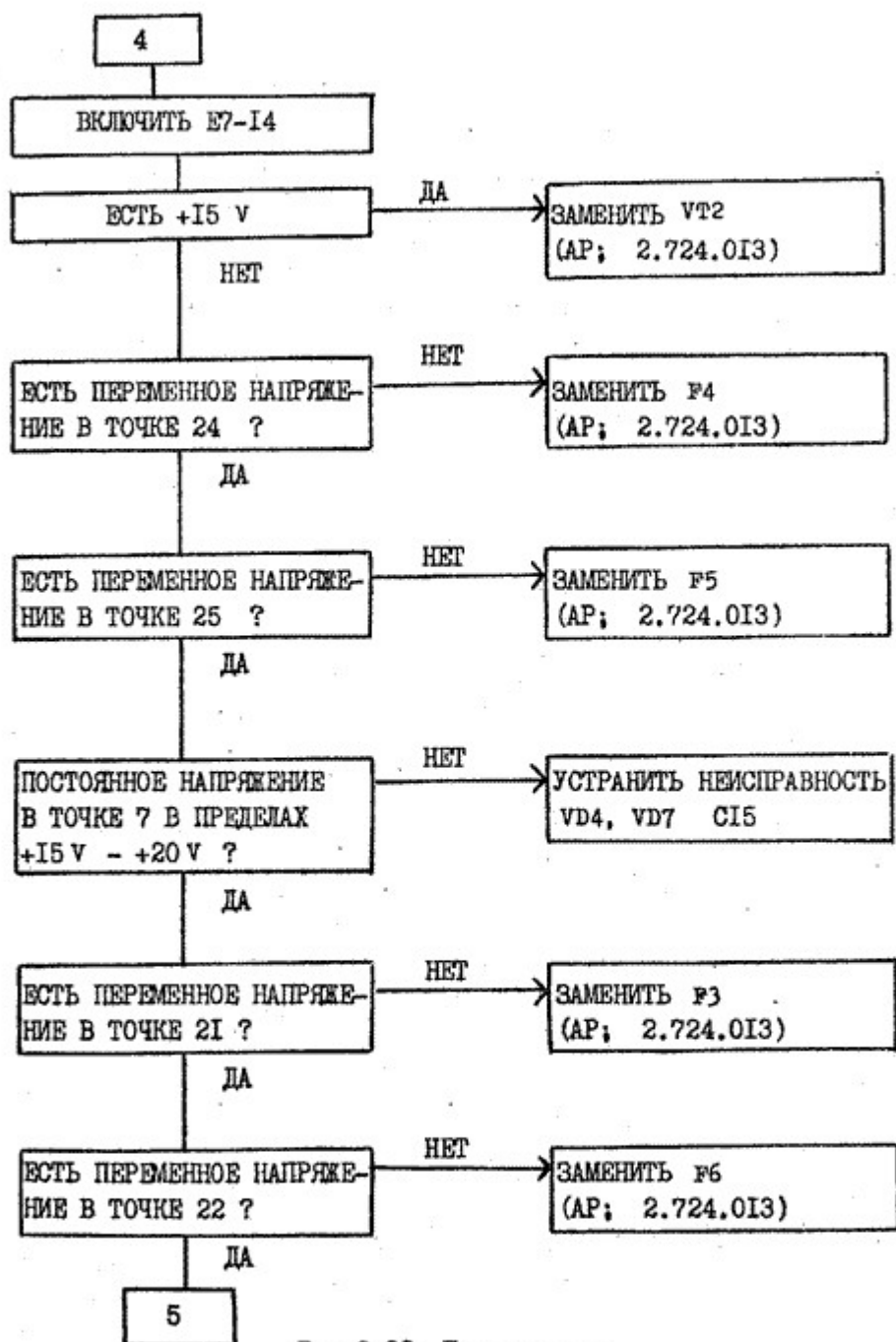


Рис.2.28, Продолжение

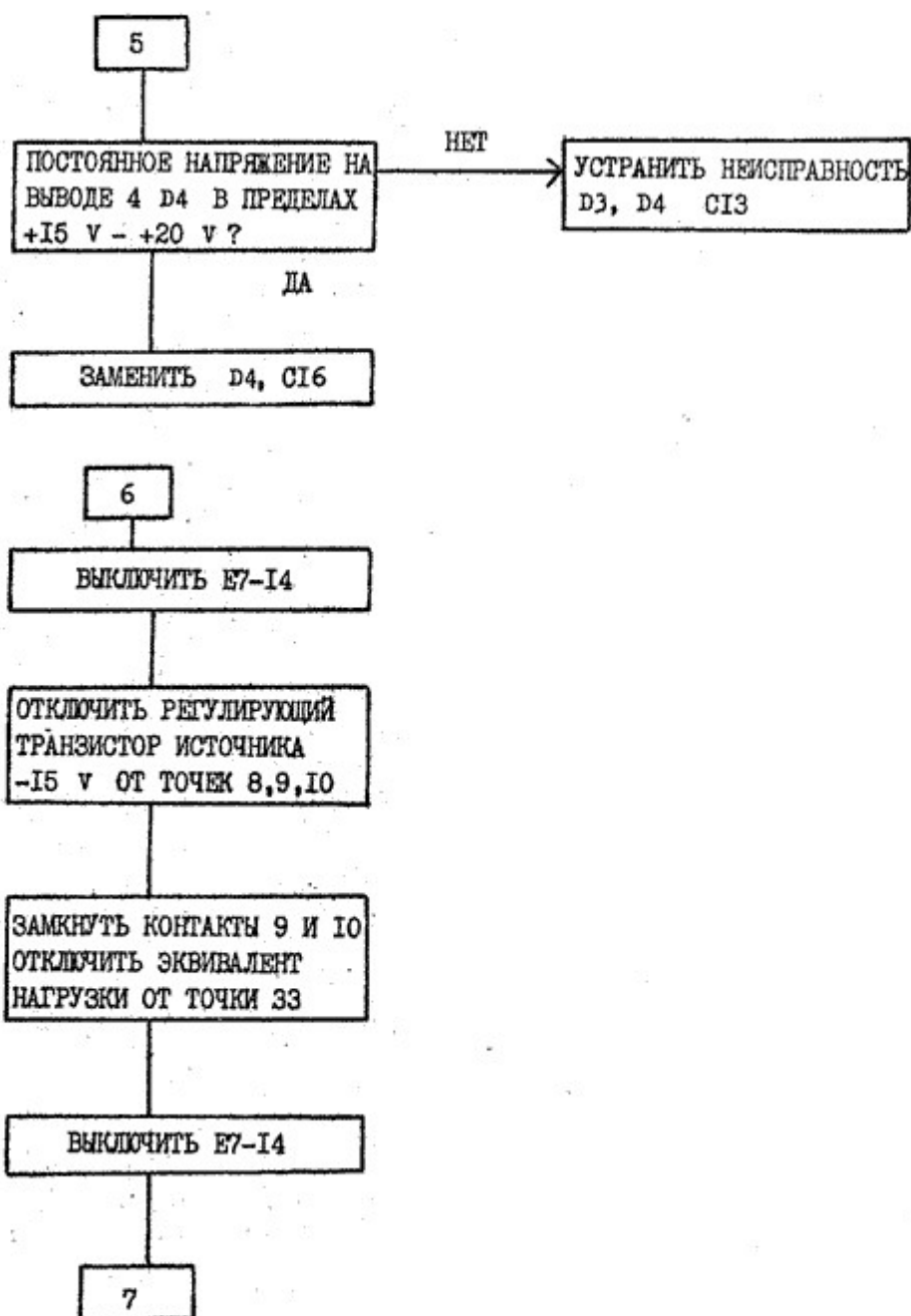


Рис.2.28. Продолжение

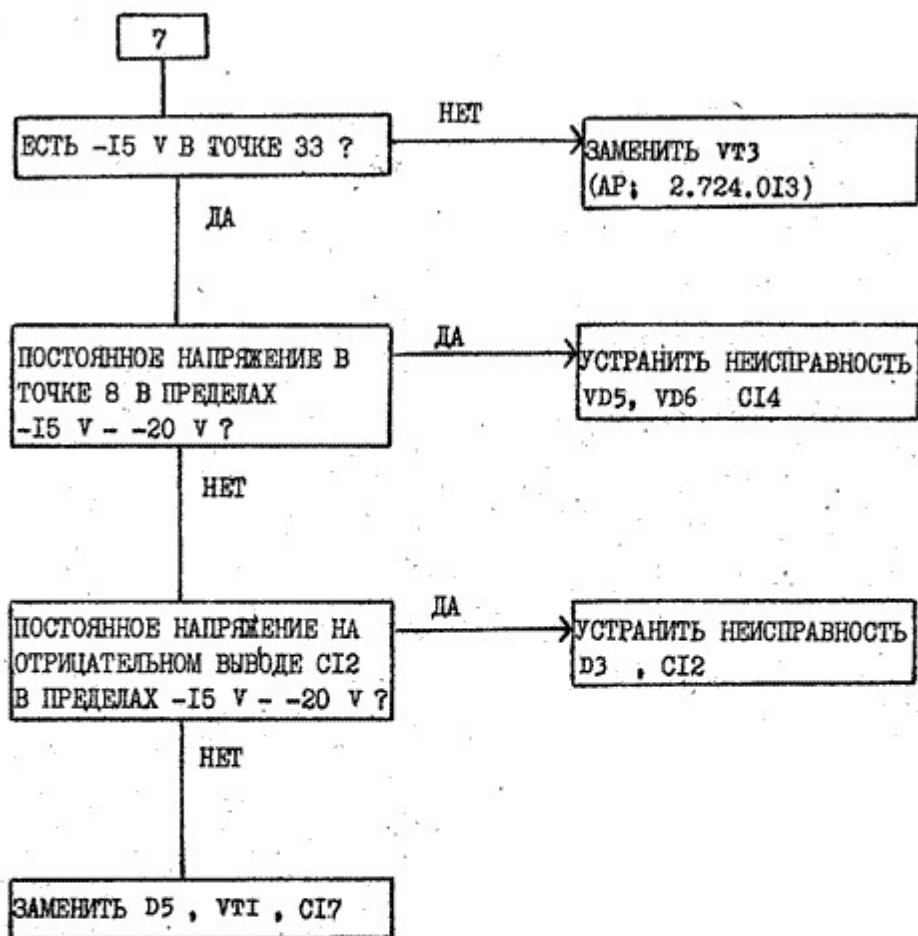


Рис.2.28. Продолжение

Алгоритм поиска и устранения неисправностей в узле дисплея
 Сигнатуры приведены в табл.2.22

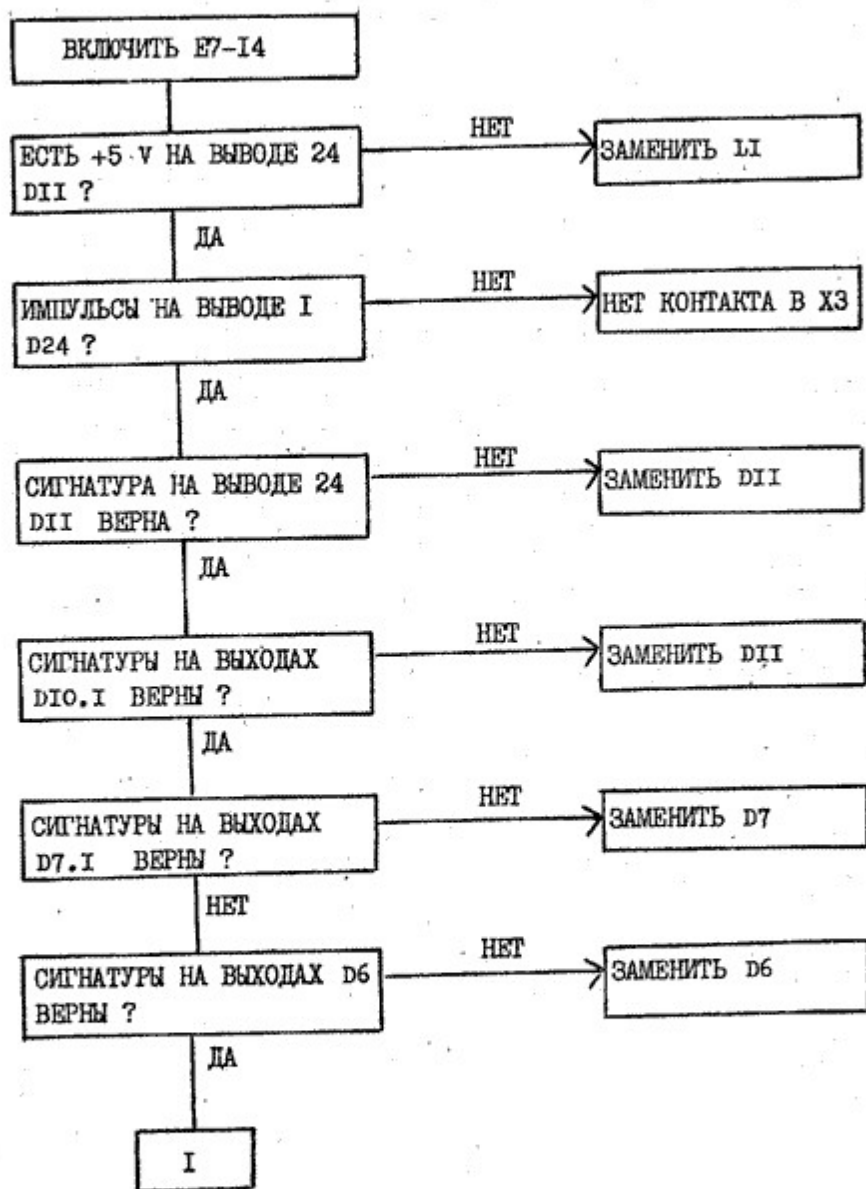


Рис.2.29

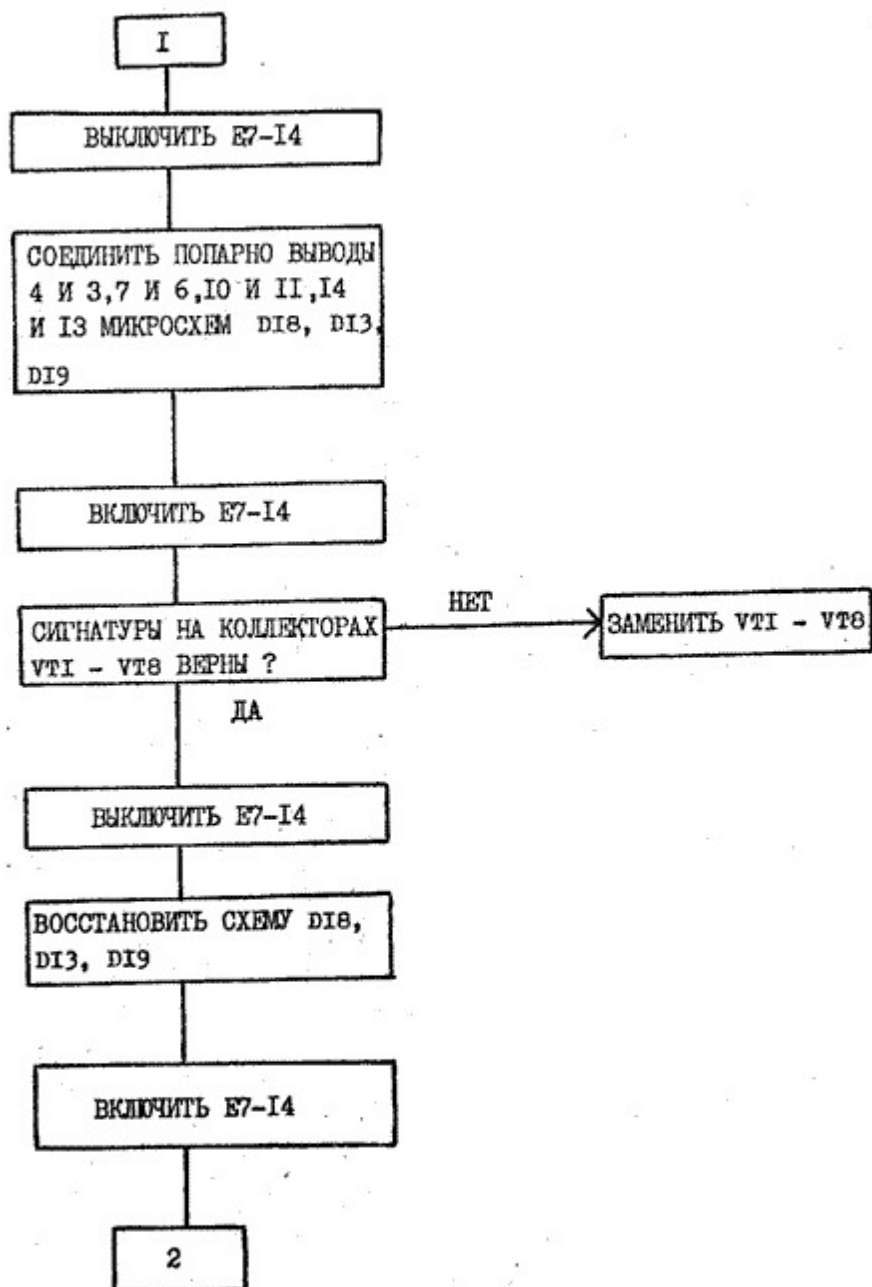


Рис.2,29. Продолжение

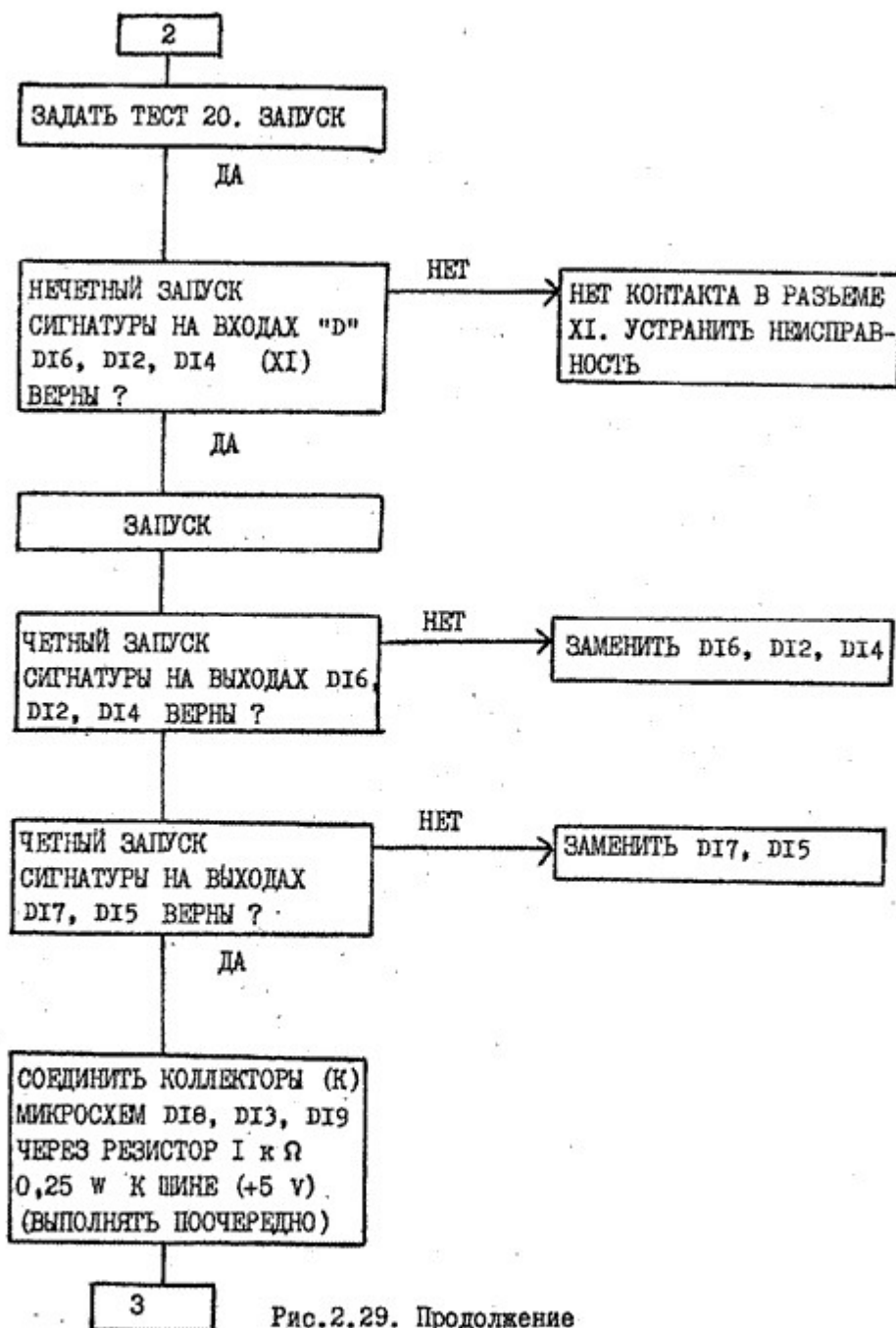


Рис.2.29. Продолжение

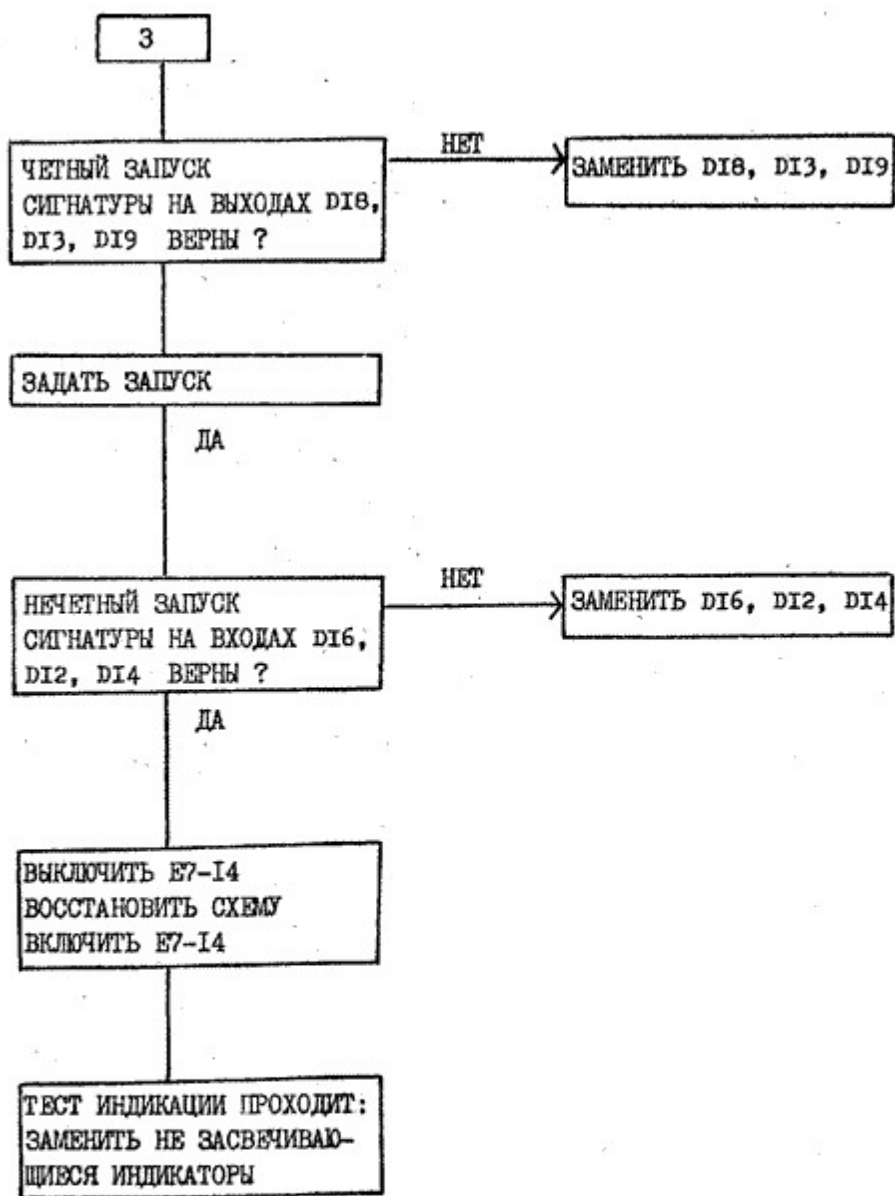


Рис.2.29. Продолжение

Алгоритм поиска и устранения неисправностей в узле клавиатуры. Сигнатуры приведены в табл.2.23

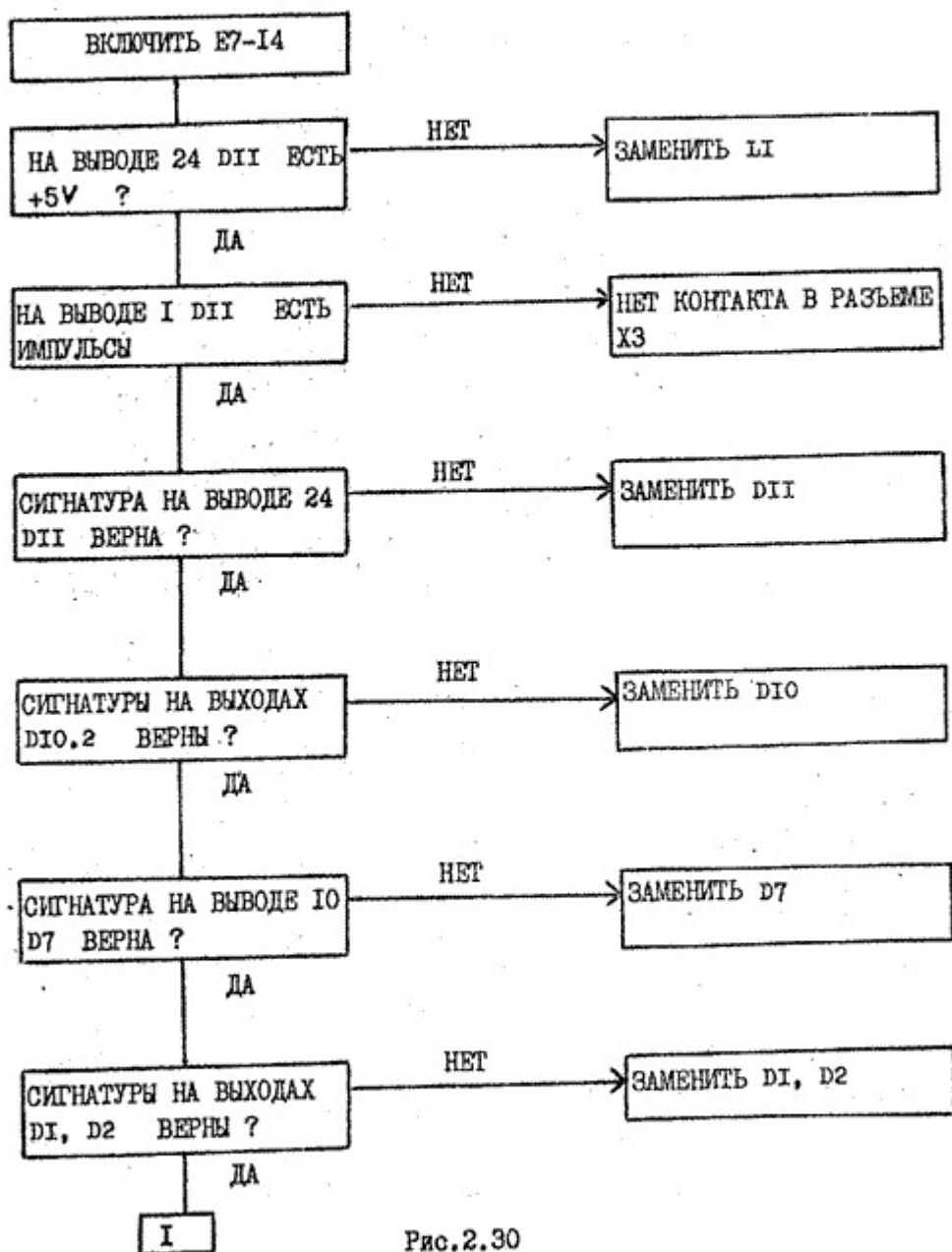


Рис.2.30

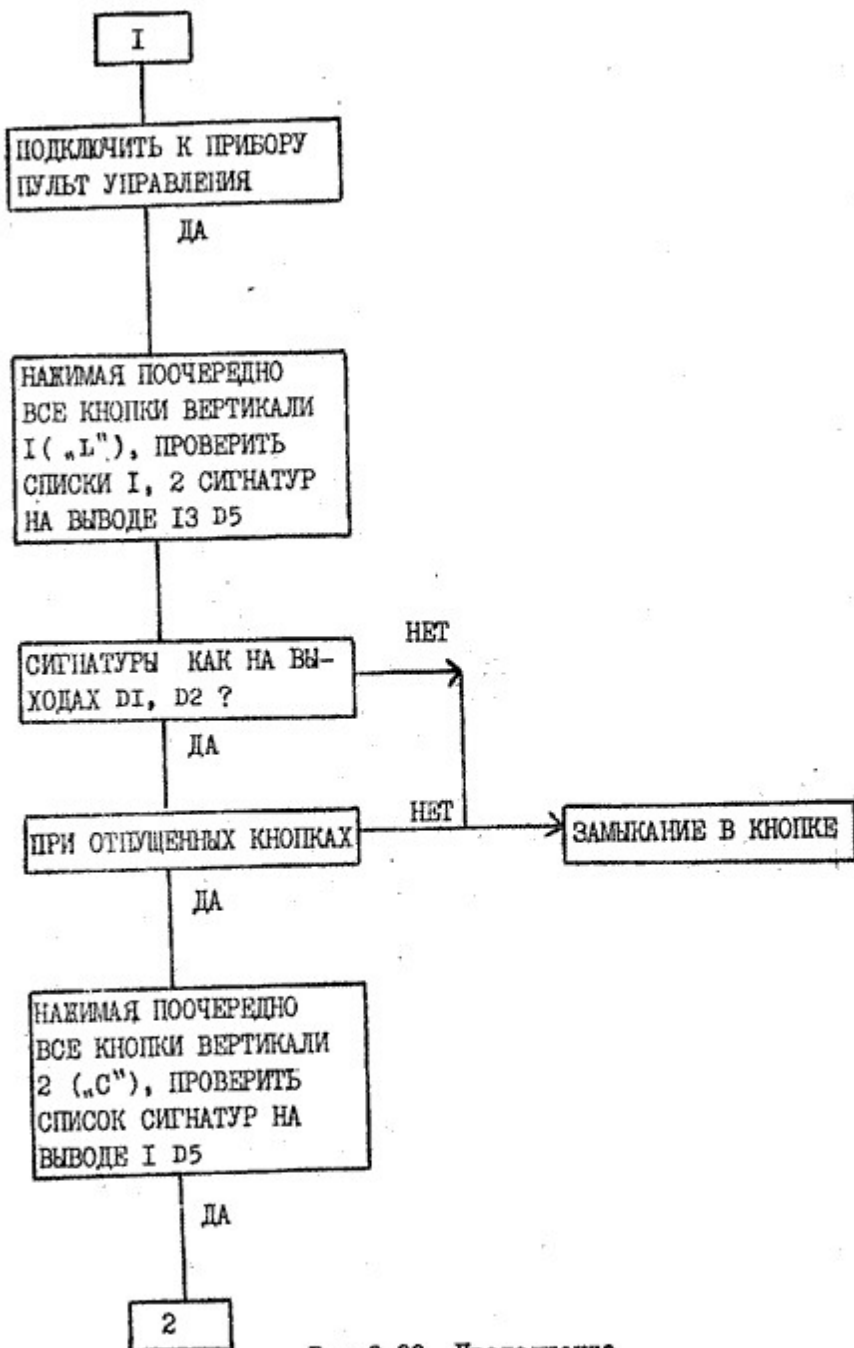


Рис.2.30. Продолжение

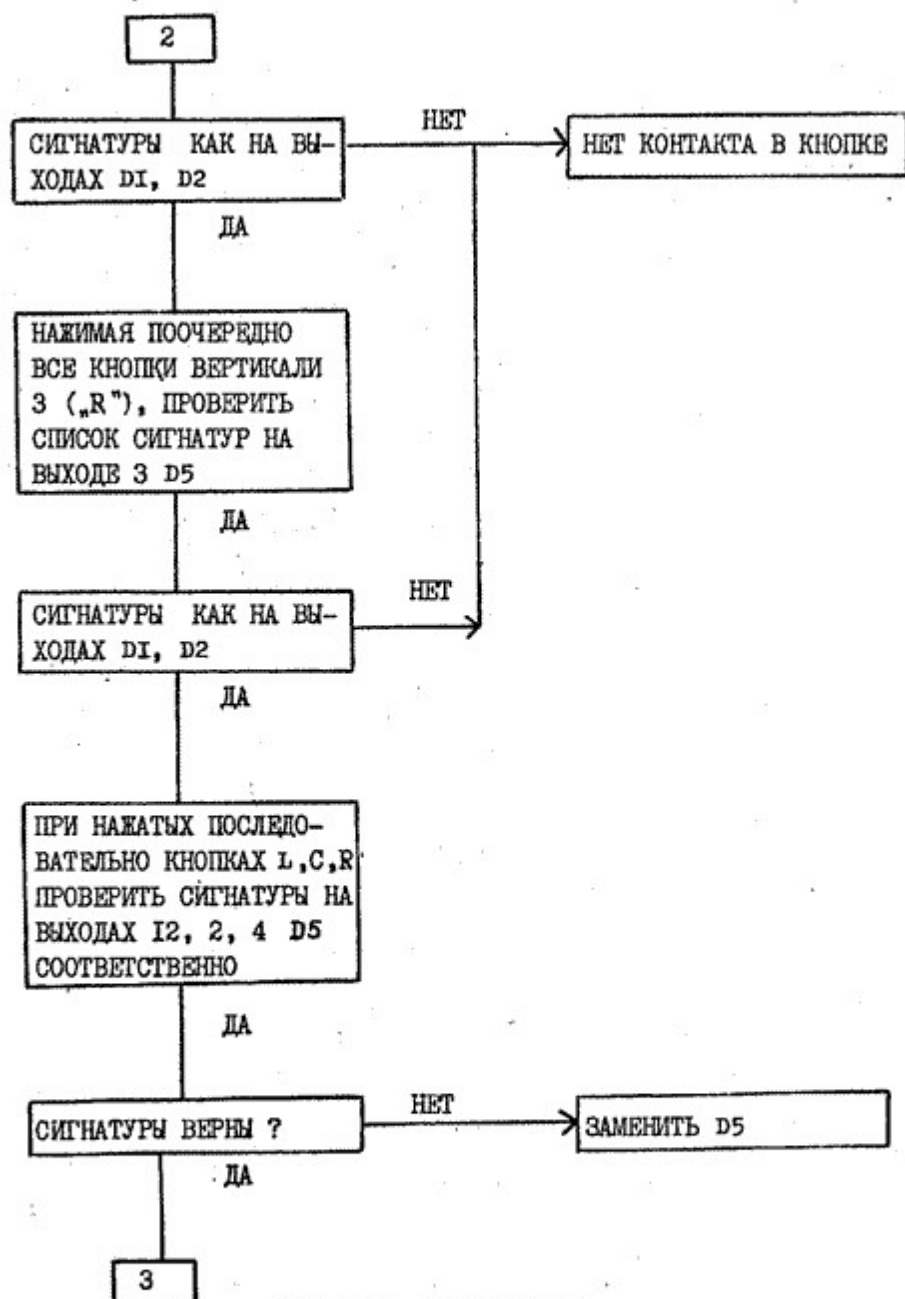


Рис.2.30. Продолжение

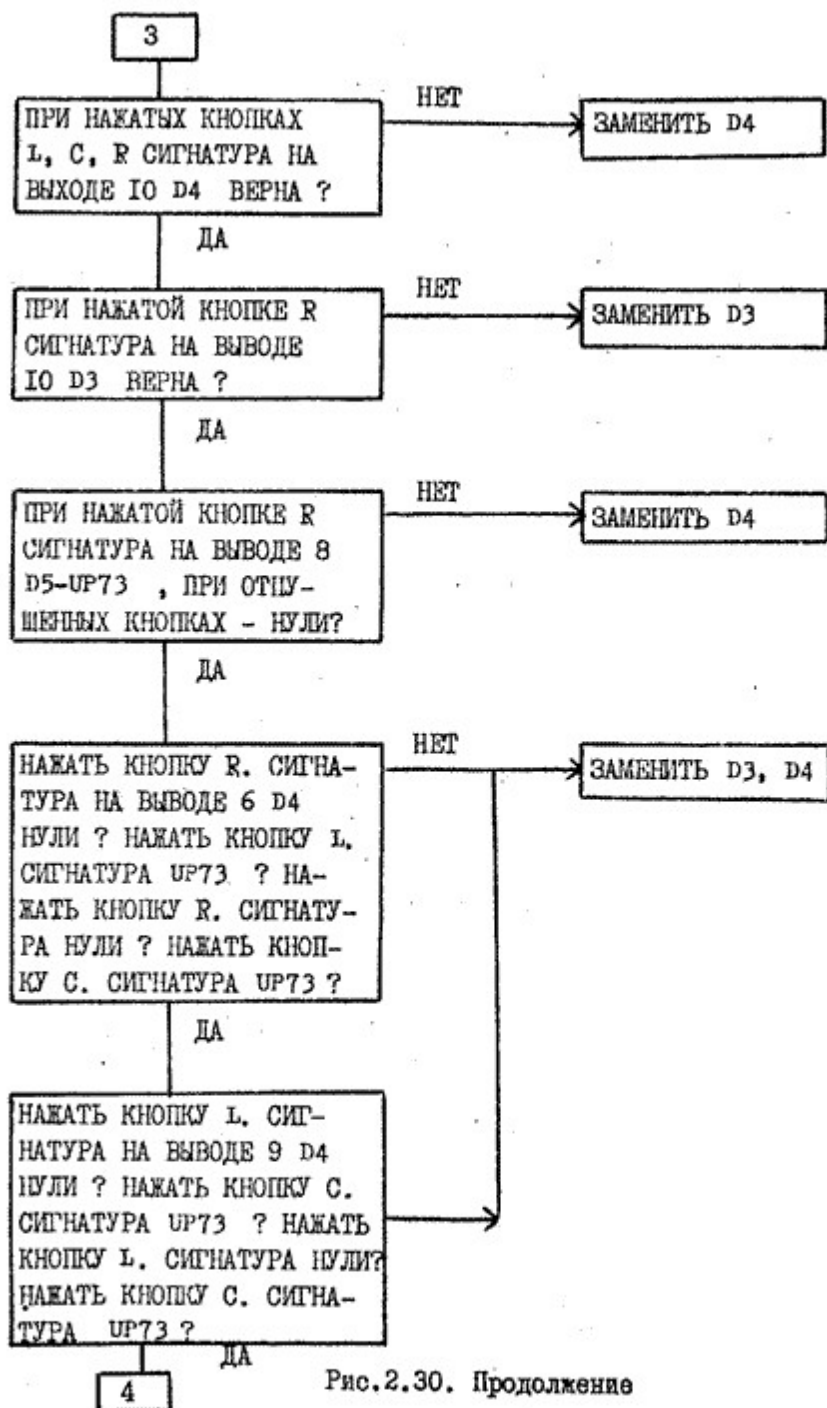
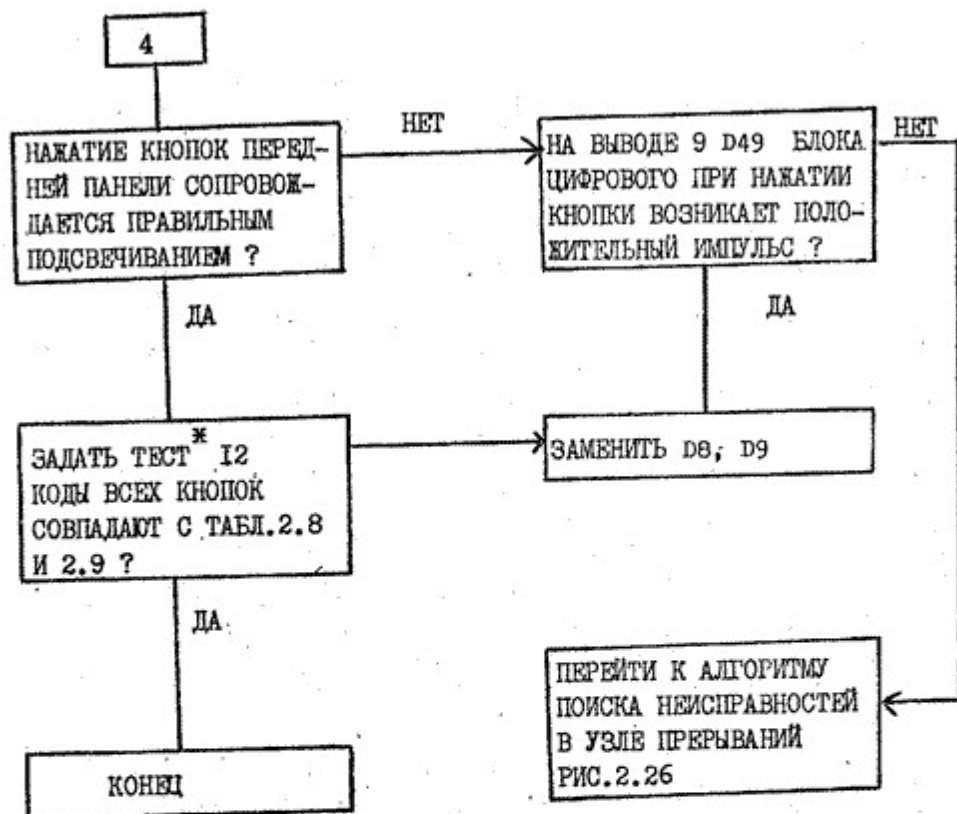


Рис.2.30. Продолжение



* Примечание. Кнопка ВМ гасит индикатор (конец теста).

Рис. 2.30. Продолжение

Сигнатуры к рис.2.8 приведены в табл.2.12.

Таблица 2.12

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
4 D42 5 D43 4 3 10	IA93 I574 OACA O000 IA93	Условие I: Тест 40 Пуск Г 12D15 цифрового блока Стоп Л 12D15 цифрового блока Такт Г 11D19 цифрового блока	I D44 I5 I4 D45 I2	OACA I574 OACA O55H	Условие I.
24 D49	8844 6692 001U	Условие 2: Пуск Л 23D49 Стоп Л 23D49 Такт Л 1D49 100 Hz 1 kHz 10 kHz	6 D46 5 D48 4 3 10 13 12	UP6H 7U46 3UA3 1UH1 OUP8 O7U4 O3UA	Условие 3: Пуск Г 6D46 Стоп Г 6D46 Такт Г 1D46 Окно +5 V UP73
4 D50 8 10 12 6 D51 9	8I35 1UH1 8I35 PIA2 UP6H PO41	Условие 3.	11 4 D52 6 8	O1UH 8I35 OOP1 IP32	

Сигнатуры к рис.2.9 приведены в табл.2.13.

Таблица 2.13

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
2 D34	8I35	Условие I: Пуск \square 6D46 Стоп \square 6D46 Такт \square 1D46	6 D34	P04I	Условие I.
3	7U46		IO	OOP1	
7	IP32		II	UP6H	

Сигнатуры к рис.2.13 приведены в табл.2.14.

Таблица 2.14

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
D3		Условие I:	D4		Условие I.
I3	OACA	Тест 40;	5	OACA	
I2	I574	Пуск \square 12D15	4	I574	
II	OACA	цифрового	3	OACA	
2	I574	блока	IO	I574	
5	I574	Стоп \square 12D15	I3	OACA	
4	OACA	цифрового	I2	I574	
3	I574	блока Такт \square 11D19 цифрового блока	II	OACA	

Сигнатуры к рис.2.2I приведены в табл.2.15.

Таблица 2.15

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
D48		Условие I:	D54		Условие I.
25	UUUU	Разомкнуть SI	I0	HPPO	
26	5555	Отключить	I2	I293	
27	CCCC	Вывод 6D47	D4I		
29	7F7F	От схемы	7	5FUB	
		Пуск L 36D48	6	29A6	
30	5H2I				
		Стоп L 36D48	5	64HP	
3I	9AFA	Такт L I7D48	4	II8I	
32	UPFH	Окно +5 V :	D42		
33	52F8	000I	8	29A7	
34	HC89		I0	64HU	
35	2H70		I2	II80	
I	HPPO		D49		
40	I293		5	0000	
			9	000I	
37	HAP7		D47		
38	3C96				
			I5	3APF	
39	3827		I4	02H7	
36	755U		I3	2828	
I6	0000		I2	5PI8	
I8	000I		II	8P4P	
24	0000		I0	9840	

Продолжение табл. 2.15

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
D55			9	A277	
2	UUUU		7	A68C	
4	5555				
6	CCCC				
8	7F7F				
10	5H2I				
12	0AFA				
D54					
2	UPFH				
4	52F8				
6	HC89				
8	2H70				
D61		Условие 2:	D61		Условие 2.
9	UNU3	Разомкнуть S1	I4	H88U	
10	FF04	Отключить	I5	ACI2	
11	UC12	6D47 от схемы	I6	24F3	
13	H7FP	Пуск \neg 15D47	I7	UFC3	
		Стоп \neg 14D47			
		или \neg 3D42			
		такт \neg 17D48			
		Окно +5 V:			
		7A70			

Сигнатуры к рис.2.22 приведены в табл.2.16.

Таблица 2.16

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
	D56	Условие 1:		D70	Условие 2:
9	8357	Пуск \neg 14D47	9	47C4	Пуск \neg 11D47
10	5A49	Стоп \neg 13D47	10	86P3	Стоп \neg 10D47
11	35HF	Такт \neg 17D47	11	82H7	Такт \neg 17D47
13	UC39	Разомкнуть S1	13	27H9	Остальное по условию I
14	22U6	Отключить	14	2F89	
15	UH21	6D47 от схемы	15	81F6	
16	P6C2	Окно +5 V:	16	07AP	
17	UC22	7A70	17	PH20	
	D69	Условие 3:		D62	Условие 4:
9	I5I8	Пуск \neg 13D47	9	69P8	Пуск \neg 10D47
10	2274	Стоп \neg 12D47	10	2P2A	Стоп \neg 9D47
11	7P60	Такт \neg 17D48	11	67C5	Такт \neg 17D48
13	008H	Остальное по условию I	13	HF64	Остальное по условию I
14	904H		14	U228	
15	8U3A		15	08F9	
16	5408		16	A75A	
17	6F11		17	A23I	
	D57	Условие 5:		D50	Условие 6:
9	Персональные сигналы	Пуск \neg 9D47	9	66PI	Пуск \neg 12D47
10		Стоп \neg 7D47	10	708H	Стоп \neg 11D47
11		Такт \neg 17D48	11	CUOP	Такт \neg 11D48
13		Остальное по условию I	13	33UH	Остальное по условию I
14			14	228C	
15			15	599F	
16			16	61U5	
17		17	9CFH		

Сигнатуры к рис.2.23 приведены в табл.2.17.

Таблица 2.17

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
7 D58	C232	Условие I:	7 D65	0CH5	Условие I.
7 D59	7P25	Тест 23	7 D66	22II	
7 D64	3FO4	Пуск \square 12D15	7 D72	527A	
7 D63	HP22	Стоп \square 12D15	7 D71	5H2I	
		Такт \square ЮD59	D42, D44	Табл. 2.15	
		Окно +5 V : 826P		2.15	

Сигнатуры к рис.2.24 приведены в табл.2.18.

Таблица 2.18

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
		Условие I:			Условие 2:
D41		S1 разомкнут	D12		S1 разомкнут
7	5FUB	Старт \square 36D48	7	38AI	15D12 отклю- чена от схемы
6	29A6	Стоп \square 36D48	6	P38C	и соединена с
5	64HP	Такт \square 17D48	5	2P39	14D12
4	II8I	Окно +5 V :			
D42		000I	4	I2P2	Старт \square 36D48
8	29A7		9	CA66	Стоп \square 36D48
IQ	64HU		IO	5CA7	Такт \square 17D48
I2	II8O		II	95CC	Окно +5 V :
			I2	295A	000I

Продолжение табл.2.18

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
D43 6	C894		D32 I	INP6	Условие 3: Тест 2I Старт \lrcorner 17D32 Стоп \lrcorner 17D32 Такт \lrcorner 15D32 Данные: +5 V

Сигнатуры к рис.2.25 приведены в табл.2.19.

Таблица 2.19

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
D23 4 6 8	0102 02UC 03I8	Условие I: Тест 24 Пуск \lrcorner 12D15 Стоп \lrcorner 12D15 Такт \lrcorner 11D19 5 V : 03U9	D16 3 D10 8 9	03C9 03U1 0008	Условие I.
I 4 10	D31 00PI 02U7 02UH	Отключен Кабель от XI соединены Контакты 23 и I5			
5	D37 0202	3 и I7			
5	D10 0008	I8 и I9 разъема XI			

Продолжение табл.2.19

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
D17					
6	03P9				
8	0040				
9	03C9				

Сигнатуры к рис.2.26 приведены в табл.2.20.

Таблица 2.20

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
D47		Условие 1:	D53		Условие 2:
7	A68C	Пуск \neg 36D48	3	7A70	Пуск \neg 7D47
		Стоп \neg 36D48			Стоп \neg 7D47
D11		Такт \neg 17D48	5	7A70	Остальное по
6	525C	соединить			условию 1
8	UV5H	3X4 с 11D47			
		IOX3 с 12D47			
D18		10D28 с 13D47			
5	9C68	I7X3 с 14D47			
6	9C69				
8	F29A				
9	F29C				
D25		Условие 1.			
6	F29C				
8	F29A				
D23					
2	F29C				
D68					
8	F09P				

Продолжение табл.2.20

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
D26		Условие 2:			
3	7A70				
5	7A70				
7	7A70				
9	7A70				
II	7A70				
I3	7A70				

Сигнатуры к рис.2.27 приведены в табл.2I.

Таблица 2.2I

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
D28		Условие I: Микросхема помещена в панель D57	D35		Условие 3: Пуск \square 12D15 Стоп \sqcap 12D15 Такт \square 11D19 Окно +5V : C9PF Отключить кабель от XI Отключить вывод 3D40 от схемы
9	F25P		I8	770H	
I0	0067		I9	HC5C	
II	7470		20	I5PC	
I3	F943	Условия проверки аналогичны условию 5 табл.2.I6 для D57	2I	A68A	
I4	5FHC		22	7A63	
I5	3IPF		23	0UPF	
I6	F70P		24	432C	
I7	F329		25	2U94	
D12		Условие 2: Аналогично табл.2.I8	I3	928C	Извлечь D28 из панели. Отключить вывод 4D15 от схемы
7	38AI		I2	8U3C	
6	F38C		II	PAH7	
5	2P39		I0	9836	
4	I2P2				
9	CA66		2	7A63	

Продолжение табл.2.2I

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
I0 II I2	5CA7 95CC 295A		4 6 D20	OUFF 432C	Адрес прибора в КОП: 2I
D34 6 D45 2 4 6 8 D36 4 7 9 I2 D39 2 D39	F380 770H H650 I5PC A68A OFHP FFHU 6984 P4I6 28HP	Условие 3.	6 D22 9 I0 II I2 D21 8 6 II D8 5 D15 8 D27 8	HC88 6HP0 HPAH 23C9 8PA9 84I4 9I32 0000 0000 36H7 8U3C	
8 I0 I2 D29 I3 I2 II	399U 8073 399U F79P A253 HP30			5 6 I2 D33 I0 I2	D45 HP45 399U 8073 399U 8073

Продолжение табл.2.21

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
I0	F5F7		D40		Условие 4
	D13		3	09FF	
6	0000		6	8073	
9	2CFC		9	CH8C	
	D40		I2	322C	
3	0000		D7		
			6	0I9H	
	D46	Условие 4:	D21		
3	49VP	Установить	II	8589	
6	532A	D28 в панель,			
9	HP45	остальное -			
I2	5U08	по условию 3			
	D34				
6	6H6I				
9	067P				
I2	0956				

Сигнатуры к рис.2.29 приведены в табл.2.22.

Таблица 2.22

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
24	D11	Условие 1:	D10		Условие 2:
	HU90	Пуск \neg 23D11	3	55HI	Пуск \neg 6D10
		Стоп \neg 23D11	4	334U	Стоп \neg 6D10
		Такт \neg 1D11	5	0U16	Такт \neg 23D11

Продолжение табл.2.22

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
К VT1	I039	Условие 2. Соединить коллектор VT с корпусом через резис- тор I кз	D7		Окно +5 v : UP73
К VT2	081F		2	ACA2	
К VT3	2072		4	FN3F	
К VT4	040P		6	U165	
К VT5	40P5			D6	
К VT6	81FC		1	UU70	
К VT7	0207		2	UF74	
К VT8	0103		3	UA7H	
			4	H66U	
		5	PP4P		
		6	HPOI		
		7	CP9B		
		9	7UC8		
D16		Условие 2. Тест 20			
9	55HI				
I0	ACA2				
I4	55HI				
I5	ACA2				
D12					
9	55HI				
I0	ACA2				
I4	55HI				
I5	ACA2				
D14					
9	55HI				
I0	ACA2				
I4	55HI				
I5	ACA2				

Продолжение табл.2.22

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
D17		Условие 3:			
8	ACA2	Тест 20			
2	55HI	Отключить			
10	ACA2	выводы I2, 9,			
I2	55HI	5, 2, D18,			
D15		D13 , D19 от			
6	ACA2	схемы			
8	55HI				
4	ACA2				
2	55HI				
D17					
6	ACA2				
4	55HI				
D15					
I0	ACA2		I2		
I2	55HI				
D18		Условие 2,			
4	55HI	Тест 20,			
7	ACA2	Соединить			
II	55HI	выводы 4, 7,			
I4	ACA2	II, I4 по-			
D13		очередно к			
4	55HI	+5 V через			
7	ACA2	I ка			
II	55HI				
I4	ACA2				
D19					
4	55HI				
7	ACA2				
II	55HI				
I4	ACA2				

Сигнатуры к рис.2.30 приведены в табл.2.23.

Таблица 2.23

Вывод микро-схемы	Сигна-тура	Условие проверки	Вывод микро-схемы	Сигна-тура	Условие проверки
24	DII HU90	Условие I: Пуск L 23DII Стоп L 23DII Такт L IDII	DIO II I2 I3 I4	55HI 334U OUI6 UP8N	Условие 2: Пуск L I4DIO Стоп L I4DIO Такт L 23DII Окно +5 v: UP73
12	D5 7U39 0000	Условие 2: Нажата кнопка L Нажата R или C	D7 IO	7U39	Условие 2: Нажать любую кнопку L,C,R
2	D5 7U39 0000	Условие 2; Нажата кнопка C Нажаты R или C	DI 3 I4 2 I5	Список 2: 008I 0040 0020 00IO	Условие 2.
4	D5 7U39 0000	Условие 2: Нажата кнопка R Нажаты L или C	I 6 7 4 D2	0008 0004 0002 000I Список I:	
10	D4 8I4A	Условие 2: Нажаты L или R или C	3 I4 2	8I4A 40A5 2052	
10	D3 7U39	Условие 2: Нажата кнопка R или L или C	D2 I5 I 6 7	Список I: I029 08I4 040A 0205	Условие 2.

3. ТЕСТЫ ПОИСКА НЕИСПРАВНОСТЕЙ

3.1. Общие положения

3.1.1. Тесты поиска неисправностей находятся в специальном тестовом ПЗУ, устанавливаемом вместо D57 и находящимся в ЗИП.

Запуск любого теста осуществляется следующим образом:

подключить к Е7-14 пульт управления;

нажать кнопку ТЕСТ; индикатор кнопки должен засветиться;

набрать номер теста на пульте: ровно 2 цифры, эти цифры должны появиться на дисплее;

нажать кнопку ЗАПУСК ↵;

Например, необходимо вызвать тест канала данных интерфейса КОП (тест II):

ТЕСТ **I** **I** **ЗАПУСК**

на дисплее: II

во всех случаях, когда тест информирует о положительном результате, на дисплее появляется сообщение "_____".

Во всех случаях, когда нет условий снятия сигнатур (не подсвечивается или не гаснет индикатор СТРОБ на передней панели сигнатурного анализатора), необходимо проверить работоспособность узла клавиатуры и сигнатуры ПЗУ тестов по условиям для микросхемы D57 (табл. 2.16). ПЗУ тестов должно находиться в панели D57.

Сигнатуры ПЗУ тестов приведены в табл. 3.1.

Таблица 3.1

Вывод	Сигнатура
9	
10	
11	
13	
14	

Таблица 3.1

Вывод	Сигнатура
I5	I68H
I6	ACUU
I7	890U

Выход из режима диагностики производится выключателем прибора.

3.1.2. В табл.3.2 приведены номера тестов поиска неисправностей.

Таблица 3.2

Название теста	Номер теста
Тест записи/чтения в каналы порта I	10
Тест записи/чтения в каналы порта 2 и работы канала данных КОП	11
Тест дисплея сигнатурный	20
Тест таймера сигнатурный	21
Тест счетчика результата	22
Тест ОЗУ сигнатурный	23
Тест интерфейса интегратора сигнатурный	24
Тест КОП сигнатурный	25
Тест цикла интегрирования	33
Тест последовательного вывода сигнатурный	40

3.2. Описание тестов

3.2.1. Тест записи/чтения в каналы порта I (тест 10).

Тест работает следующим образом:

производится запись первого проверочного байта данных в канал А, затем - считывание и сравнение считанного и записываемого байтов. В случае несовпадения на дисплей прибора выдается сообщение НРБ-09.

Аналогичные операции проводятся для второго проверочного байта данных.

Аналогичные операции проводятся для канала С для обоих проверочных байтов.

3.2.2. Тест записи/чтения в каналы порта 2 и работы канала данных КОП.

Перед выполнением этого теста необходимо отключить кабель от разъема КОП.

Тест работает следующим образом. Аналогично работе теста IO производится проверка каналов В и С порта 2, если обнаружена ошибка, то на дисплей прибора выдается сообщение НРБ-10.

Если порт 2 работает правильно, то начинается проверка работы канала КОП. В канал С порта 2 выдается программный код интерфейса 2 (передатчик).

Поскольку прибор отключен от КОП и сигнал УП в линии отсутствует, на выходе ПЕРЕДАЧА ПБУ синхронизации КОП появляется сигнал, открывающий выходные буферы КОП. Замыкается кольцо связи порта В (ВЫХОД) и порта А (ВХОД) через буфера и мультиплексор, ориентированный на ввод данных.

В канал В выдаются, а через канал А принимаются проверочные байты.

Если имеется несовпадение байтов, то на дисплей выдается сообщение НРБ-11.

3.2.3. Тест дисплея сигнатурный (тест 20).

Тест выполняется без предварительных условий. Условия снятия сигнатур приведены в табл.2.22.

После вызова этого теста ОЗУ дисплея однократно расписывается проверочной последовательностью байтов.

Считывание сигнатур требуется проводить через I в . после нажатия кнопки ЗАПУСК.

3.2.4. Тест таймера сигнатурный (тест 21).

Тест выполняется без предварительных условий, условия снятия сигнатур приведены в табл.2.18.

После вызова этого теста счетчики #1 и #2 однократно загружаются кодами временного интервала 20 мс и дается команда разрешения работы таймера, после того, как таймер выдаст сигнал готовности, команда разрешения снимается.

Сигнатура проверяет длительность временного интервала, выдаваемого таймером. Для правильной работы необходима работоспособность микросхемы порта I (D38 цифрового блока).

3.2.5. Тест счетчика результата (тест 22).

Предварительные условия:

в плате блока цифрового произвести следующие измерения:

отключить вывод 5 D24 от схемы;

отключить вывод 12 D16 от схемы;

соединить вывод 5 D24 с выводом 7 D19 ;

отключить кабель от разъема XI.

Проверка счетчика результата и порта В проводится следующим образом:

после запуска теста проводится сброс счетчика результата.

Для появления импульсов на выводе 7 D19 проводится обращение на запись по соответствующему адресу. Импульс должен быть сосчитан счетчиком. Проводится считывание данных с порта В и сравнение результата считывания с содержимым программного счетчика. При обнаружении несовпадения на дисплей выдается сообщение НРБ-12 (неисправны микросхемы D24, D16, D23, D30, D38).

Если совпадение имеется, то проводится следующее обращение на запись и все операции повторяются количество раз, равное объему внутреннего программного счетчика.

Если обнаруживается несовпадение в счетчике #0 таймера (старшие байты результата), то на дисплей выдается сообщение НРБ-13 (неисправность D32).

После окончания работы с тестом необходимо восстановить исходные состояния в плате блока цифрового.

3.2.6. Тест ОЗУ сигнатурный (тест 23).

Тест используется без предварительных условий, условия снятия сигнатур приведены в табл.2.17.

Тест работает следующим образом:

осуществляется запись по всем адресам ОЗУ проверочной последовательности байтов. Стимулируется условие ПУСК сигнатурного анализатора. Осуществляется считывание данных со всех адресов ОЗУ. Стимулируется условие СТОП сигнатурного анализатора. Указанные действия повторятся до выключения прибора.

Вследствие неисправности ячеек ОЗУ индикатор ТЕСТ и дисплей прибора могут иметь неправильную подсветку.

3.2.7. Тест интерфейса интегратора сигнатурный (тест 24).

Предварительные условия: в плате блока цифрового произвести следующие изменения:

отключить кабель от XI;

соединить попарно контакт 23 и 15, 18 и 19, 3 и 17 разъема XI.

Условия снятия сигнатур приведены в табл.2.19.

В процессе работы теста стимулируется сигнал ПУСК сигнатурного анализатора, стимулируются сигналы КОМПАРАТОР БЫСТРЫЙ, КОМПАРАТОР МЕДЛЕННЫЙ и КОНЕЦ ПРЕОБРАЗОВАНИЯ аналогового блока и после выдачи каждого из сигналов производится стимулирование сигнала ТАКТ сигнатурного анализатора. Имитируется полный цикл аналого-цифрового преобразования с использованием микросхемы таймера D32.

Стимулируется сигнал СТОП сигнатурного анализатора. Все указанные действия повторяются до выключения прибора.

3.2.8. Тест КОП сигнатурный (тест 25).

Предварительные условия: в плате блока цифрового произвести следующие измерения:

отключить кабель XI;

отключить вывод 3 D40 от схемы;

соединить попарно контакт 20XI с контактом II разъема КОП, контакт 18XI с контактом 2I разъема КОП.

Условия снятия сигнатур приведены в табл.2.21.

В процессе работы теста производятся следующие действия: стимулируется сигнал ПУСК сигнатурного анализатора. Стимулируются сигналы УП и СД линий КОП. Проводится выдача всех байтов с 0 до 255, заменяющих как все команды (УП-низкое), так и все байты

данных (УП-высокое). После выдачи каждой команды или байта данных производится стимулирование сигнала ТАКТ сигнатурного анализатора. После прохождения всей тестовой последовательности стимулируется сигнал СТОП сигнатурного анализатора.

Указанные действия повторяются до выключения прибора.

3.2.9. Тест цикла интегрирования (тест 33).

Тест работает без предварительных условий.

После запуска теста производится периодическое измерение компоненты Z (нуля интегратора), но в качестве признака конца преобразования используется не сигнал, приходящий с компаратора, а признак конца временного интервала, отсчитываемого специальной программой. Тест предназначен для детального рассмотрения временной диаграммы цикла интегрирования.

3.2.10. Тест последовательного вывода сигнатурный (тест 40).

Тест работает без предварительных условий.

Условия снятия сигнатур приведены в табл.2.14.

При запуске теста производится следующее:

ОЗУ последовательного вывода расписывается двенадцатью байтами тестовой последовательности. Стимулируется сигнал ПУСК сигнатурного анализатора. Производится запись каждого из 12 байтов в регистры аналоговой секции и после каждой записи байта выдается сигнал переписи информации во вторую ступень регистров аналоговой секции.

После переписи последнего байта стимулируется сигнал СТОП сигнатурного анализатора. Указанные действия повторяются до выключения прибора.

Приложение I

ТАБЛИЦА РЕЖИМОВ ПО ПОСТОЯННОМУ ТОКУ

Обозначение на электри- ческой схеме	Напряжение на электродах, V				Допуск, %
	К	Б	Э	ПЛЮС МИНУС или	
2.724.013 ЭЗ					
VT1	8,4	6,65	5,44		15
VT2	20,8	16,3	15,1		15
VT3	-20,6	-16,6	-15,4		15
3.031.148 ЭЗ					
С11				14,6	15
С12				-23,5	15
С13				23,7	15
С18				52	15
С19				5,6	15
+5 V				5,00	1
+15 V				15,00	1
-15 V				-15,00	1
VT2					
С32			12 -5		5 5
3.034.044 ЭЗ					
С86				10	5
С45				-10	10
С49				+10	10

Приложение 2

НАМОТОЧНЫЕ ДАННЫЕ ТРАНСФОРМАТОРА 4.702.562

Таблица

Обозначение трансформатора по схеме	Тип магнитс.провода	Номера выводов	Число витков	Тип и диаметр провода, мм	Напряжение
ТІ	ШЛ20 25	2-3	1369	ПЭТВ-2 0,56	220
		16	I	Лента ДПРНТ 0,05 45 НДМІ	Экран
		31-32	259	ПЭТВ-2 0,2	38,5
		11-12	11	ПЭТВ-2 0,1	1,63
		12-13	106	ПЭТВ-2 0,56	15,5
		13-14	106	ПЭТВ-2 0,56	15,5
		14-15	11	ПЭТВ-2 0,1	1,62
		4-5	34	ПЭТВ-2 0,63	4,95
		5-6	34	ПЭТВ-2 0,63	4,95
		21-22	26	ПЭТВ-2 0,08	3,95
		22-23	51	ПЭТВ-2 1,0	7,42
		23-24	51	ПЭТВ-2 1,0	7,42
		24-25	26	ПЭТВ-2 0,08	3,94